

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-308700

(43)Date of publication of application : 31.10.2003

(51)Int.Cl.

G11C 29/00
G11C 11/22
H01L 27/105

(21)Application number : 2002-108193

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 10.04.2002

(72)Inventor : TAKAHASHI KAZUHIKO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which a cycling test of the number of times of guarantee for all devices can be performed at the time of a screening test and which is constituted of ferroelectric memories.

SOLUTION: A semiconductor memory is provided with a memory cell block 100 comprising a memory cell section 101 having a plurality of memory cells in which each cell comprises ferroelectric capacitor respectively, and a memory cell section 103 for test having a plurality of memory cells for the test. A layout pattern of the memory cell for the test is made a same pattern as the layout pattern of the memory cell, the memory cell section 103 for the test is arranged closely to a memory cell arranged at a position at which a ferroelectric capacitor is easy to deteriorate.

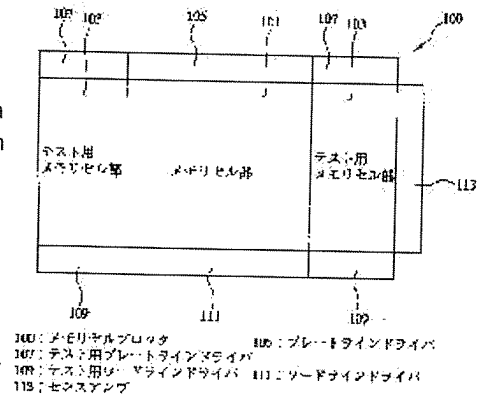


図1の異なる形態のメモリーセルブロックの構成例

LEGAL STATUS

[Date of request for examination] 10.07.2002

[Date of sending the examiner's decision of rejection] 15.02.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2005-004939

[Date of requesting appeal against examiner's decision of rejection] 22.03.2005

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-308700
(P2003-308700A)

(43) 公開日 平成15年10月31日 (2003.10.31)

(51) Int.Cl. ⁷	識別記号	F I	テマコト* (参考)	
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 F	5 F 0 8 3
11/22	5 0 1	11/22	5 0 1 P	5 L 1 0 6
H 0 1 L 27/105		H 0 1 L 27/10	4 4 4 B	

審査請求 有 請求項の数 4 O L (全 14 頁)

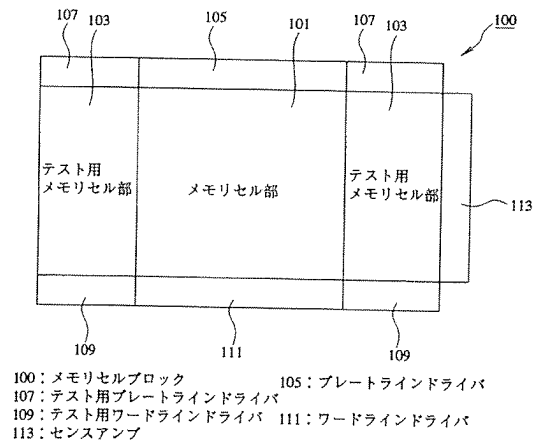
(21) 出願番号	特願2002-108193(P2002-108193)	(71) 出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日	平成14年4月10日 (2002.4.10)	(72) 発明者	▲高▼橋 和彦 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内
		(74) 代理人	100085419 弁理士 大垣 孝
		Fターム(参考)	5F083 FR03 LA03 LA10 LA27 ZA10 ZA20 5L106 DD12 DD35 EE07 FF04 FF05 GG05 GG06

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 スクリーニング試験時、全てのデバイスについて保証回数のサイクリング試験を行うことができる強誘電体メモリで構成された半導体記憶装置の提供。

【解決手段】 半導体記憶装置は、それぞれが強誘電体キャパシタを含む、複数のメモリセルを有するメモリセル部101と、複数のテスト用メモリセルを有するテスト用メモリセル部103を含むメモリセルブロック100を具える。テスト用メモリセルのレイアウトパターンは、メモリセルのレイアウトパターンと同一としてあり、テスト用メモリセル部103は、複数のメモリセルのうち、強誘電体キャパシタが劣化しやすい位置に配置されているメモリセルに対して、近接して、配置されている。



第1の実施の形態のメモリセルブロックの構成例

【特許請求の範囲】

【請求項 1】 それぞれが強誘電体キャパシタを含む、複数のメモリセルを有するメモリセル部と、複数のテスト用メモリセルを有するテスト用メモリセル部と

を含むメモリセルブロックを具え、

前記テスト用メモリセルのレイアウトパターンは、前記メモリセルのレイアウトパターンと同一としてあり、前記テスト用メモリセル部は、

前記複数のメモリセルのうち、前記強誘電体キャパシタが劣化しやすい位置に配置されているメモリセルに近接して、配置されていることを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、

前記メモリセルブロックは、複数のテスト用補助メモリセル部を具え、

該テスト用補助メモリセル部は、複数のテスト用補助メモリセルを含み、

該テスト用補助メモリセルのレイアウトパターンを前記メモリセルのレイアウトパターンと同一としてあり、

該複数のテスト用補助メモリセルの各々は、外部から前記テスト用補助メモリセル部に入力される活性化信号によって活性化されるとともに、

前記メモリセルと共通のビット線によってセンスアンプに接続されていることを特徴とする半導体記憶装置。

【請求項 3】 請求項 2 に記載の半導体記憶装置において、

前記テスト用メモリセルを冗長メモリセルとしたとき、前記テスト用メモリセル部は、冗長メモリセル部であることを特徴とする半導体記憶装置。

【請求項 4】 請求項 2 に記載の半導体記憶装置において、

前記テスト用補助メモリセルを冗長メモリセルとしたとき、前記テスト用補助メモリセル部は、冗長メモリセル部であることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、強誘電体メモリによって構成される半導体記憶装置に関する。

【0002】

【従来技術】 強誘電体の分極を利用する半導体記憶装置（強誘電体メモリ）を構成するメモリセルは、文献 1（「低消費電力、高速 LSI 技術」、株式会社リアライズ社、pp231-250）及び文献 2（「消えない IC メモリー FRAM のすべて」、株式会社工業調査会、pp29-37）に開示されているように、2T2C 型及び 1T1C 型がよく知られている。2T2C 型メモリセルは、2つのトランジスタと 2つの強誘電体キャパシタで構成され、1T1C 型メモリセルは、1つのト

ランジスタと 1つのキャパシタで構成される。

【0003】 上述したようなメモリセルの強誘電体キャパシタの分極状態は、通常、文献 1 に開示されているように、ヒステリシス曲線によって表される。図 8 には、このヒステリシス曲線 18 を示してある。同図において、縦軸には分極 P ($\mu C/cm^2$) を、横軸には電圧 V (V) をとって示している。

【0004】 図 8 に示すヒステリシス曲線 18 は、電圧が 0 のとき、縦軸と A 点と B 点とで交わる。A 点と B 点は、強誘電体キャパシタの 2 つの残留分極量を表す。すなわち、強誘電体キャパシタは、図 8 に示される 2 つの残留分極状態によって "L"（ローレベル、すなわち電圧がない状態、もしくは電圧が低い状態）のデータもしくは "H"（ハイレベル、すなわち電圧がある状態）のデータを保持する。強誘電体キャパシタにおいて、残留分極量が A 点で示される場合は "H" のデータが保持され、残留分極量が B 点で示される場合は "L" のデータが保持されている。

【0005】 ところで、上述したメモリセルは、ビット線によってセンスアンプに接続されている。文献 1 及び文献 2 にも開示されているように、上述したようなメモリセルによって構成される強誘電体メモリの読み出し動作は、DRAM (Dynamic RAM (Random Access Memory)) と同様であるので、強誘電体キャパシタとビット線容量 C_b との電圧分割によって生じるビット線電圧をセンスアンプで検知する。尚、文献 1 によれば、このビット線電圧は、強誘電体キャパシタのヒステリシス曲線の形状とビット線容量 C_b によって決まる。

【0006】 図 8 には、ヒステリシス曲線 18 の他に、A 点及び B 点で表される強誘電体キャパシタの 2 つの残留分極状態に対応する負荷線 10 及び負荷線 12 を示してある。これら負荷線 10 及び負荷線 12 の傾きが、ビット線容量 C_b である。また、ヒステリシス曲線 18 において、A 点から E 点の区間は強誘電体キャパシタの非反転応答の領域であり、B 点から E 点の区間は強誘電体キャパシタの反転応答の領域である。そして、ヒステリシス曲線 18 における A 点から E 点の間の区間と負荷線 10 との交点 C、ヒステリシス曲線 18 における B 点から E 点の間の区間と負荷線 12 との交点 D、及び E 点より、強誘電体キャパシタの 2 つの記憶状態における読み出しビット線電圧 V_0 とビット線電圧 V_1 が求まる。これらビット線電圧 V_0 とビット線電圧 V_1 との差 ΔV は、センスアンプの判別感度以上であることが必要である。

【0007】 ところで、以上説明した強誘電体メモリの読み出し動作は、DRAM と同様、破壊読みだしである。強誘電体メモリの読み出し動作及び書き込み動作において、強誘電体キャパシタが分極反転を繰り返すと、該キャパシタの分極量は減少する。この現象は、強誘電

体メモリ特有の現象であり、通常、ファティーグ（疲労特性）と呼ばれる。図 8 に、ファティーグにより劣化した強誘電体キャパシタのヒステリシス曲線 20 を点線で示してある。このとき、上述した手順と同様の手順によって、負荷線 14 とヒステリシス曲線 20 との交点 C' 、負荷線 16 とヒステリシス曲線 20 との交点 D' 、及び E 点から、ビット線電圧 $V'0$ 及びビット線電圧 $V'1$ を求めることができる。ここで、負荷線 14 及び負荷線 16 の傾きもビット線容量 Cb である。ファティーグにより劣化した強誘電体キャパシタについて、ビット線電圧 $V'0$ とビット線電圧 $V'1$ との差 $\Delta V'$ は、上述したビット線電圧 $V0$ とビット線電圧 $V1$ との差 ΔV より減少しており、センスアンプの判別感度以下となる。このとき、劣化した強誘電体キャパシタを有する強誘電体メモリを、劣化していると判断する。

【0008】ところで、強誘電体メモリで構成されるデバイスに対する信頼性試験においては、一般に、上述したファティーグに関する評価が行われる。ファティーグに関する、従来より行われてきた信頼性試験については、公開資料 1（「富士通 FRAM 品質・信頼性の保証」、2002 年富士通ホームページ（<http://edevice.fujitsu.com/fj/CATAROG/AD00/00-00015/1-7.html>））に開示されている。

【0009】

【発明が解決しようとする課題】ファティーグに関する信頼性試験では、スクリーニング試験が行われる。スクリーニング試験とは、デバイス内の不良メモリセルをみつけるために行う試験である。スクリーニング試験は、公開資料 1 に開示されているように、デバイスを構成する強誘電体メモリの読み出し動作または書き込み動作を所定の回数繰り返すことによるファティーグストレスを加え、その後も、強誘電体メモリが正常な動作をするかどうかをチェックすることにより行われる。この試験を、サイクリング試験という。スクリーニング試験では、所定の回数のサイクリング試験を行った結果、強誘電体キャパシタのファティーグによる劣化した不良メモリセルが検出されないとき、サイクリング試験を行った回数を保証回数とする。

【0010】しかし、一般に、スクリーニング試験では、製品となるデバイスには、保証回数のサイクリング試験は行われない。例えば、保証回数が 1.0×10^{12} 回の場合、製品となるデバイスには、 1.0×10^{10} 回しかサイクリング試験は行われない。そして、 1.0×10^{10} 回のサイクリング試験で不良メモリセルが検出され無い場合、当該デバイスで保証回数の 1.0×10^{12} 回のサイクリング試験を行っても、やはり不良メモリセルは検出されないと予測する。この予測は、製品としないデバイスや、TEG（新しい製造プロセスを開発し標準化する場合や、新しい回路設計を行う場合に作る、評

価用の素子や回路を搭載したウェハまたはチップ）に関して行った 1.0×10^{12} 回のサイクリング試験のデータに基づくものである。すなわち、上述したようなスクリーニング試験によれば、各デバイス間での保証回数のばらつきは考慮されず、 1.0×10^{10} 回のサイクリング試験によって、全てのデバイスが 1.0×10^{12} 回の保証回数となる。従って、上述したようなサイクリング試験により決定された保証回数を有するデバイスは、ファティーグに関する信頼性に問題があった。

10 【0011】よって、上述したような問題点に鑑み、この発明の目的は、スクリーニング試験において、全てのデバイスについて保証回数のサイクリング試験を行うことができる強誘電体メモリで構成された半導体記憶装置を提供することにある。

【0012】

【課題を解決するための手段】上述した目的を達成するため、この発明の半導体記憶装置によれば、それぞれが強誘電体キャパシタを含む、複数のメモリセルを有するメモリセル部と、複数のテスト用メモリセルを有するテスト用メモリセル部とを含むメモリセルブロックを具える。この発明では、テスト用メモリセルのレイアウトパターンは、メモリセルのレイアウトパターンと同一としてある。また、この発明によれば、テスト用メモリセル部は、複数のメモリセルのうち、強誘電体キャパシタが劣化しやすい位置に配置されているメモリセルに近接して、配置されている。

20 【0013】この発明の半導体記憶装置のメモリセルブロックが有するテスト用メモリセル部は、信頼性試験におけるスクリーニング試験時に使用する。また、テスト用メモリセルのレイアウトパターンは、メモリセルのレイアウトパターンと同一としてあるため、スクリーニング試験時、メモリセルブロックにテスト用メモリセル部を所望の位置に配置することができる。

30 【0014】スクリーニング試験では、既に説明したようなサイクリング試験を行うと、メモリセルの強誘電体キャパシタに疲労が蓄積される。従って、メモリセル部において、複数のメモリセルのうち、強誘電体キャパシタが劣化しやすい位置に配置されているメモリセルは、スクリーニング試験において不良メモリセルとして検知される可能性の高いメモリセルである。この発明によれば、テスト用メモリセル部は、このメモリセルに近接して、配置される。そして、この発明の半導体記憶装置に対し、テスト用メモリセル部を利用してスクリーニング試験を行えば、メモリセル部を疲労させることなく、該試験の信頼性を向上させることができる。

40 【0015】例えば、上述したようなこの発明の半導体記憶装置に対し、 1.0×10^{12} 回の保証回数のサイクリング試験を行う場合、メモリセルブロックのメモリセル部及びテスト用メモリセル部に、既に説明した従来と同様の 1.0×10^{10} 回のサイクリング試験を行う。そ

の後、テスト用メモリセル部のみに、 9.9×10^{10} 回のサイクリング試験を行う。その結果、テスト用メモリセル部は、 1.0×10^{12} 回の保証回数のサイクリング試験が行われたことになる。このように、この発明の半導体記憶装置に対しては、保証回数のサイクリング試験を行うことができるため、従来のサイクリング試験より信頼性を向上させることができる。

【0016】

【発明の実施の形態】以下、図を参照して、この出願に係る発明による実施の形態について説明する。尚、以下の説明に用いる各図は、この発明を理解できる程度に概略的に示してあるに過ぎず、従って、この発明が図示例のみに限定されるものでないことは理解されたい。また、説明に用いる各図において、同様な構成成分については、同一の符号を付して示し、重複する説明を省略することもある。

【0017】【第1の実施の形態】この発明の第1の実施の形態について説明する。

【0018】(1)第1の実施の形態の構成

この実施の形態の半導体記憶装置の構成について説明する。この実施の形態の半導体記憶装置は、メモリセルブロックを具える。図1は、この実施の形態の半導体記憶装置に設けられたメモリセルブロック100の構成を示す図である。

【0019】メモリセルブロック100は、メモリセル部101と、テスト用メモリセル部103とを具える。メモリセル部101は、プレートラインドライバ105とワードラインドライバ111とを有しており、テスト用メモリセル部103は、テスト用プレートラインドライバ107とテスト用ワードラインドライバ109とを有している。さらに、メモリセルブロック100にはセンスアンプ113が設けられる。

【0020】この実施の形態において、メモリセル部101は複数のメモリセルを有しており、テスト用メモリセル部103は複数のテスト用メモリセルを有している。次に、図2を参照して、メモリセル部101における複数のメモリセル、及びテスト用メモリセル部103における複数のテスト用メモリセルの構成について、説明する。図2は、メモリセル部101の複数のメモリセルのうち一つのメモリセル201、及びテスト用メモリセル部103の複数のテスト用メモリセルのうち一つのテスト用メモリセル203の構成を示す図である。尚、この実施の形態によれば、メモリセル部101はメモリセル201と同様の構成を有する複数のメモリセルから構成され、及びテスト用メモリセル部103も、以下に説明するテスト用メモリセル203と同様の構成を有する複数のテスト用メモリセルから構成されるのが好ましい。

【0021】まず、メモリセル201の構成について説明する。この実施の形態のメモリセル201は強誘電体

キャパシタを有しており、図2には、文献1に開示されている構成と同様の2T2C型の構成を有するメモリセル201を示してある。この時、メモリセル201は、プレートラインドライバ105と1本のプレート線PLによって接続され、かつワードラインドライバ111とはワード線WL01及びワード線WL00によって接続される。尚、メモリセル部101を構成する複数のメモリセルは、それぞれ、上述したようにプレート線によって共通のプレートラインドライバ105に接続され、及び上述したようにワード線によって共通のワードラインドライバ111に接続される。

【0022】次に、テスト用メモリセル203の構成について説明する。この実施の形態によれば、テスト用メモリセル203のレイアウトパターンは、メモリセル201のレイアウトパターンと同一としてある。よって、図2に示すように、メモリセル201が2T2C型の構成を有するとき、テスト用メモリセル203も該メモリセル201と同様の2T2C型の構成を有する。そして、このとき、テスト用メモリセル203は、メモリセル201と同様に、テスト用プレートラインドライバ107と1本のテスト用プレート線TPLによって接続され、かつテスト用ワードラインドライバ109とはテスト用ワード線TWL01及びテスト用ワード線TWL00によって接続される。

【0023】また、図2に示すように、メモリセル201とテスト用メモリセル203とは、共通のビット線BL及びBLbでセンスアンプ113に接続される。

【0024】ところで、この実施の形態の半導体記憶装置のメモリセルブロック100が有するテスト用メモリセル部103は、信頼性試験におけるスクリーニング試験時に使用する。上述したように、テスト用メモリセル203のレイアウトパターンは、メモリセル201のレイアウトパターンと同一としてあるため、スクリーニング試験時、メモリセルブロック100にテスト用メモリセル部103を所望の位置に配置することができる。この実施の形態によれば、テスト用メモリセル部103は、複数のメモリセルのうち、強誘電体キャパシタが劣化しやすい位置に配置されているメモリセルに近接して、配置される。

【0025】ここで、メモリセル部101における、強誘電体キャパシタが劣化しやすい位置とは、例えば、以下のような位置を意味する。メモリセルブロック100の集積回路の構成によれば、該メモリセルブロック100は、メモリセル201の強誘電体キャパシタを水素等のダメージから保護するためのカバー膜を有する。しかし、メモリセル部101において、前述したカバー膜の構造上、該カバー膜の周辺部は水素等の進入を受けやすい。その結果、メモリセル部101において、前述したカバー膜の周辺部に配置されているメモリセル201では、強誘電体キャパシタが劣化しやすい。従って、この

場合、メモリセル部101において、強誘電体キャパシタが劣化しやすい位置とは、該メモリセル部101のカー膜の周辺部を意味する。

【0026】(2)第1の実施の形態の動作

次に、この実施の形態の半導体記憶装置の動作を説明するため、該半導体記憶装置のメモリセルブロック100に対して行われるスクリーニング試験について述べる。

【0027】この実施の形態のスクリーニング試験では、既に説明したようなサイクリング試験を、 1.0×10^{12} 回の保証回数で行う。また、このスクリーニング試験が行われるメモリセルブロック100の構成は、16386ビットのテスト用メモリセル部103を2個と、 $1M (= 512K \times 2)$ ビットのメモリセル部101とを有する構成であるとする。そして、半導体記憶装置は、前述したメモリセルブロック100を4個具える構成であるとする。このとき、半導体記憶装置は、4Mビット($= 1M \text{ビット} \times 4 \text{個}$)のメモリセル及び16386 $\times 2 \times 4$ ビットのテスト用メモリセルを有する構成である。

【0028】この実施の形態では、メモリセルブロック100において、テスト用メモリセル部103は、強誘電体キャパシタが劣化しやすい位置に配置されているメモリセルに近接して配置される。既に説明したように、スクリーニング試験を行うと、メモリセルの強誘電体キャパシタに疲労が蓄積される。従って、メモリセル部101において、複数のメモリセルのうち、強誘電体キャパシタが劣化しやすい位置に配置されているメモリセルは、スクリーニング試験において不良メモリセルとして検知される可能性の高いメモリセルである。

【0029】よって、この実施の形態によれば、テスト用メモリセル部103を利用することによりサイクリング試験を行い、メモリセル部101のメモリセルに疲労が蓄積されないようにする。この実施の形態のサイクリング試験では、
イ)メモリセルブロック100のメモリセル部101及びテスト用メモリセル部103に、既に説明した従来技術と同様にして、 1.0×10^{10} 回のサイクリング試験を行う。

【0030】ロ)その後、テスト用メモリセル部103のみに、 99×10^{10} 回のサイクリング試験を行う。

【0031】ここで、イ)及びロ)のサイクリング試験を行うと、テスト用メモリセル部103には、保証回数である 1.0×10^{12} 回のサイクリング試験が行われたことになる。そして、この実施の形態では、メモリセルブロック100のメモリセル部101に従来と同様のサイクリング試験を行った結果、不良メモリセルが検出されず、及びテスト用メモリセル部103に、保証回数である 1.0×10^{12} 回のサイクリング試験を行った結果、やはり不良メモリセルが検出されない場合、メモリセルブロック100のメモリセル部101も 1.0×1

0^{12} 回のサイクリング試験では、不良メモリセルが検出されないものと予測する。この予測は、既に説明した従来技術と同様、製品とされないデバイスやTEGについて行った 1.0×10^{12} 回のサイクリング試験のデータに基づくものである。

【0032】ところで、公開資料1に開示されているように、上述した半導体記憶装置に対して、 1.0×10^{12} 回の保証回数のサイクリング試験を行うには、膨大な時間を要すると予測され、現実的に実行するのは困難である。このため、公開資料1によれば、サイクリング試験時に、メモリセルブロック100に印加する電圧を増加させる電圧加速試験と、複数のメモリセルに1度にファティグストレスを加える同側試験が行われる。よって、この実施の形態のサイクリング試験においても、電圧加速試験及び同側試験を併用して行えば、サイクリング試験を短時間で実行することができる。

【0033】公開資料1によれば、電圧加速試験において、メモリセルブロック100に印加する電圧を1V増加させると、サイクリング試験に要する時間を10倍加速させることができる。この実施の形態では、上述したイ)の場合、サイクリング試験時の電圧を2V増加させる。このとき、 1.0×10^{10} 回相当のサイクリング試験を、 1.0×10^8 回で行うことができる。また、上述したロ)の場合、イ)の後にさらに電圧を2V増加させて、サイクリング試験を行う。このとき、 99×10^{10} 回相当のサイクリング試験を、 99×10^6 回で行うことができる。

【0034】また、この実施の形態では、上述した同側試験は、図1及び図2を参照して説明したメモリセルブロック100において、イ)の場合は、メモリセル部101の全てのメモリセル及びテスト用メモリセル部103の全てのテスト用メモリセル、及びロ)の場合はテスト用メモリセル部103の全てのテスト用メモリセルを、1回のサイクリング試験において一括して動作させる一括動作モードによって行われる。このとき、イ)の場合、動作サイクル時間は $120 \mu s$ であり、ロ)の場合、動作サイクル時間は $12 \mu s$ である。尚、この場合の動作サイクル時間とは、イ)の場合は、メモリセルブロック100を構成する全てのメモリセル及び全てのテスト用メモリセル、及びロ)の場合は、テスト用メモリセル部103における全てのテスト用メモリセルに対し、1回のサイクリング試験を行う際に要する時間のことを意味する。

【0035】従って、イ)の場合、サイクリング試験に要する時間は、sは秒及びhは時間を表すとして、
 $(120 (\mu s) \times 1 \times 10^8 (\text{回})) / (60 \times 60 (s/h)) = 3.33 (h)$ となり、及びロ)の場合、サイクリング試験に要する時間は、
 $(12 (\mu s) \times 99 \times 10^6 (\text{回})) / (60 \times 60 (s/h)) = 0.33 (h)$ となる。この結果、この実施の

形態の半導体記憶装置では、テスト用メモリセル部103を利用することにより、 1.0×10^{12} 回の保証回数のサイクリング試験を、 $3.33 + 0.33 = 3.66$ 時間で行うことができる。

【0036】以上説明したように、この実施の形態の半導体記憶装置に対しては、メモリセル部101のメモリセルを疲労させずに、保証回数のサイクリング試験を行うことができる。また、この実施の形態において、テスト用メモリセル部103は、メモリセルブロック100において、強誘電体キャパシタが劣化しやすい位置に配置されている。そして、このテスト用メモリセル部103に対する、保証回数と同等のサイクリング試験の結果、ファティグの評価が行われる。従って、既に説明した従来技術と比較して、スクリーニング試験の信頼性を、飛躍的に向上させることができる。さらに、サイクリング試験時に、上述したように従来と同様にして電圧加速試験及び同測試験を併用して行くと、該試験を短時間で実行することができる。

【0037】尚、上述したスクリーニング試験は単なる一例であって、この実施の形態では、サイクリング試験を所望の保証回数で行うことができ、さらに、電圧加速試験及び同測試験の手順は、上述した手順に限定されない。また、メモリセルブロック100及び半導体記憶装置の構成は、当業者が決めうる設計事項であって、上述した構成に限定されない。

【0038】また、上述したこの実施の形態では、スクリーニング試験として、サイクリング試験を実行する場合について説明したが、この実施の形態の半導体装置に対して、インプリント試験やリテンション試験を行う場合があっても良い。この場合、上述したサイクリング試験と同様に、テスト用メモリセル部103を利用することにより、メモリセル部101のメモリセルに過度の疲労を蓄積することなく、上述した各試験を実行することができる。

【0039】【第2の実施の形態】次にこの発明の第2の実施の形態について説明する。

【0040】(3)第2の実施の形態の構成

この実施の形態の半導体記憶装置の構成は、既に説明した第1の実施の形態と同様の構成を有する。図3は、この実施の形態のメモリセルブロック300の構成を示す図である。尚、メモリセルブロック300について、図1及び図2に示す第1の実施の形態と同様の構成については、図3に図1及び図2と同一の符号を付して示し、重複する説明を省略する。

【0041】図3に示すように、この実施の形態のメモリセルブロック300は、図1に示す第1の実施の形態のメモリセルブロック100に対し、複数のテスト用補助メモリセル部301を設けた構成である。尚、図3には、メモリセルブロック300に一つのテスト用補助メモリセル部301を設ける構成を示してある。また、テ

スト用補助メモリセル部301は、テスト用補助プレートラインドライバ303とテスト用補助ワードラインドライバ305とを有している。

【0042】このテスト用補助メモリセル部301は、複数のテスト用補助メモリセルを有する。次に、図4を参照して、テスト用補助メモリセルの構成について説明する。図4は、テスト用補助メモリセル部301の複数のテスト用補助メモリセルのうち、一つのテスト用補助メモリセル401の構成を示す図である。尚、この実施の形態によれば、テスト用補助メモリセル部301は、以下に説明するテスト用補助メモリセル401と同様の構成を有する複数のテスト用補助メモリセルから構成されるのが好ましい。また、図4に示す構成のうち、図2に示す構成と同様の構成については、図2と同一の符号を付して示し、重複する説明は省略する。

【0043】この実施の形態によれば、テスト用補助メモリセル401のレイアウトパターンは、メモリセル201のレイアウトパターンと同一としてある。図4には、図2と同様、2T2C型の構成を有するメモリセル201を示してある。よって、このとき、テスト用補助メモリセル401も、メモリセル201と同様の2T2C型の構成を有する。そして、このとき、テスト用補助メモリセル401は、メモリセル201と同様に、テスト用補助プレートラインドライバ303と1本のテスト用補助プレート線STPLによって接続され、かつテスト用補助ワードラインドライバ305とはテスト用補助ワード線STWL01及びテスト用補助ワード線STWL00によって接続される。

【0044】また、図4に示すように、メモリセル201とテスト用補助メモリセル401とは、共通のビット線BL及びBLbでセンスアンプ113に接続される。

【0045】ところで、この実施の形態では、上述したような構成のテスト用補助メモリセル部301は、テスト用メモリセル部103と同様、信頼性試験におけるスクリーニング試験時に使用されるのが好ましい。

【0046】(4)第2の実施の形態の動作

次に、この実施の形態の半導体記憶装置の動作を説明する。上述したように、テスト用補助メモリセル部301はスクリーニング試験時に使用される。スクリーニング試験時に、テスト用補助メモリセル部301には活性化信号が入力され、該信号が入力されるとテスト用補助メモリセル部301は活性化される。図4を参照して、テスト用補助メモリセル部301の活性化に係る、テスト用補助メモリセル401の動作を説明する。尚、テスト用補助メモリセル部301が有する複数のテスト用補助メモリセルの動作は、以下に説明するテスト用補助メモリセル401の動作と同様である。

【0047】この実施の形態によれば、図4に示すように、前述した活性化信号は、テスト用補助ワードラインドライバ305に入力される第1活性化信号STWLA

と、テスト用補助プレートラインドライバ303に入力される第2活性化信号STPLAとを含む信号であるのが望ましい。図4に示す構成において、第1活性化信号STWLAがテスト用補助ワードラインドライバ305に入力されると、該テスト用補助ワードラインドライバ305は、テスト用補助ワード線STWL00及びSTWL01を”H”に固定する。また、第2活性化信号STPLAがテスト用補助プレートラインドライバ303に入力されると、該テスト用補助プレートラインドライバ303は、テスト用補助プレート線STPLを”L”に固定する。この状態で、テスト用補助メモリセル401から電荷がビット線BL及びBLbに流れ出す。

【0048】図4に示すこの実施の形態の構成は、図2に示す構成と比較して、さらに、テスト用補助メモリセル401を、メモリセル201及びテスト用メモリセル203と共通のビット線BL及びBLbによってセンスアンプ113に接続した構成となっている。上述したように、第1及び第2活性化信号STWLA及びSTPLAによって、テスト用補助メモリセル部301が活性化されると、ビット線BL及びBLbのビット線容量は、第1の実施の形態のビット線容量Cb0からビット線容量Cb1に増加する。

【0049】ここで、図5(A)に、メモリセル部101のメモリセル201が有する強誘電体キャパシタの分極状態を表すヒステリシス曲線501を、図8と同様にして示す。尚、図5(A)及び(B)には、スクリーニング試験において、ファティーグストレスが与えられた結果劣化した、メモリセル201の強誘電体キャパシタのヒステリシス曲線519を点線で、図8と同様にして示してある。従って、図5(A)及び(B)において、縦軸は分極P($\mu\text{C}/\text{cm}^2$)を、及び横軸は電圧V(V)を表す。

【0050】メモリセル201の強誘電体キャパシタは、図5(A)に示すように、F点及びG点で表される二つの残留分極状態を有する。図5(A)のヒステリシス曲線501には、F点及びG点で表される二つの残留分極状態に対応する、第1〜第4の負荷線503、505、507、509を示してある。ここで、第1及び第2の負荷線503及び505は、第1の実施の形態の構成におけるメモリセル201の二つの残留分極状態に対応し、第3及び第4の負荷線507及び509は、この実施の形態の構成におけるメモリセル201の二つの残留分極状態に対応する。従って、第1及び第2の負荷線503及び505の傾きはビット線容量Cb0であり、第3及び第4の負荷線507及び509の傾きはビット線容量Cb1である。

【0051】また、劣化したメモリセル201の強誘電体キャパシタの二つの残留分極状態は、図5(A)及び図5(B)において、M点及びN点で示される。そして、図5(B)のヒステリシス曲線519についても、

図5(A)のヒステリシス曲線501と同様にして、M点及びN点で表される二つの残留分極状態に対応する、第5〜第8の負荷線511、513、515、517を示してある。ここで、第5及び第6の負荷線511及び513は、第1の実施の形態の構成における劣化したメモリセル201の二つの残留分極状態に対応し、第7及び第8の負荷線515及び517は、この実施の形態の構成における劣化したメモリセル201の二つの残留分極状態に対応する。従って、第5及び第6の負荷線511及び513の傾きはビット線容量Cb0であり、第7及び第8の負荷線515及び517の傾きはビット線容量Cb1である。

【0052】既に説明したように、サイクリング試験において、センスアンプ113は、メモリセル201、テスト用メモリセル203もしくはテスト用補助メモリセル401の強誘電体キャパシタとビット線BL及びBLbのビット線容量との電圧分割によって生じるビット線電圧を検知する。また、図8を参照して説明した手順と同様の手順によって、メモリセル201の強誘電体キャパシタの二つの記憶状態におけるビット線電圧は求められる。

【0053】ここで、図5(A)において、第1の実施の形態について、図8を参照して説明した手順によれば、メモリセル201の強誘電体キャパシタの二つの記憶状態におけるビット線電圧の差 ΔV_0 は、第1の負荷線503とヒステリシス曲線501との交点Jに対応する電圧と、第2の負荷線505とヒステリシス曲線501との交点Iに対応する電圧との差と等しい。また、この実施の形態についても、メモリセル201の強誘電体キャパシタの二つの記憶状態におけるビット線電圧の差 ΔV_1 は、上述した ΔV_0 と同様にして、第3の負荷線507とヒステリシス曲線501との交点L、及び第4の負荷線509とヒステリシス曲線501との交点Kから求めることができる。この実施の形態では、上述したように、第1の実施の形態のビット線容量Cb0がビット線容量Cb1に増加すると、図5(A)より、ビット線電圧の差 ΔV は、第1の実施の形態のビット線電圧の差 ΔV_0 から、ビット線電圧の差 ΔV_1 に減少する。

【0054】さらに、図5(B)において、劣化したメモリセル201について、第1の実施の形態の該メモリセル201の強誘電体キャパシタの二つの記憶状態におけるビット線電圧の差 $\Delta V'_0$ も、図5(A)を参照して説明した手順と同様にして、第5の負荷線511とヒステリシス曲線519との交点P、及び第6の負荷線513とヒステリシス曲線519との交点Oから求めることができる。また、同図における、劣化したメモリセル201について、この実施の形態の該メモリセル201の強誘電体キャパシタの二つの記憶状態におけるビット線電圧の差 $\Delta V'_1$ も、図5(A)を参照して説明した手順と同様にして、第7の負荷線515とヒステリシス

曲線 519 との交点 R、及び第 8 の負荷線 517 とヒステリシス曲線 519 との交点 Q から求めることができる。この実施の形態では、上述したように、第 1 の実施の形態のビット線容量 C_{b0} がビット線容量 C_{b1} に増加すると、図 5 (B) より、劣化したメモリセル 201 に関するビット線電圧の差 ΔV は、第 1 の実施の形態のビット線電圧の差 $\Delta V'$ 0 から、ビット線電圧の差 $\Delta V'$ 1 に減少する。

【0055】ここで、スクリーニング試験におけるサイクリング試験について、メモリセル 201 の強誘電体キャパシタの二つの記憶状態におけるビット線電圧の差 ΔV と、センスアンプ 113 の判別感度との関係について、図 6 を参照して説明する。図 6 は、横軸にサイクリング試験における試験回数を、縦軸にメモリセル 201 の強誘電体キャパシタの二つの記憶状態におけるビット線電圧の差 ΔV (V) を示す図であって、動作の説明に供する図である。また、図 6 には、第 1 の実施の形態におけるビット線 BL 及び BLb の第 1 特性 601 及び第 2 特性 603、及びこの実施の形態におけるビット線 BL 及び BLb の第 3 特性 605 及び第 4 特性 607 を示してある。さらに、図 6 について、前述した第 1 ~ 第 4 特性 601、603、605、607 において、センスアンプ 113 の判別感度は 0.1V である。

【0056】第 1 の実施の形態について、第 1 特性 601 は、メモリセル 201 に関するビット線電圧の差 ΔV 0 が 0.5V のとき、該ビット線電圧の差 ΔV 0 のサイクリング試験における変化を表す。また、第 2 特性 603 は、劣化したメモリセル 201 に関するビット線電圧の差 $\Delta V'$ 0 が 0.4V のとき、該ビット線電圧の差 $\Delta V'$ 0 のサイクリング試験における変化を表す。図 6 に示す第 1 特性 601 及び第 2 特性 603 によれば、スクリーニング試験において、劣化したメモリセル 201 を検出するためには、劣化したメモリセル 201 に関するビット線電圧の差 $\Delta V'$ 0 が、センスアンプ 113 の判別感度 0.1V 以下となる、 1.0×10^{10} 回のサイクリング試験を行わなければならない。

【0057】一方、この実施の形態について、第 3 特性 605 は、メモリセル 201 に関するビット線電圧の差 ΔV 1 が 0.3V のとき、該ビット線電圧の差 ΔV 1 のサイクリング試験における変化を表す。また、第 4 特性 607 は、劣化したメモリセル 201 に関するビット線電圧の差 $\Delta V'$ 1 が 0.2V のとき、該ビット線電圧の差 $\Delta V'$ 1 のサイクリング試験における変化を表す。図 6 に示す第 3 特性 605 及び第 4 特性 607 によれば、この実施の形態では、スクリーニング試験において、劣化したメモリセル 201 を検出するために行うサイクリング試験の試験回数は、劣化したメモリセル 201 に関するビット線電圧の差 $\Delta V'$ 1 が、センスアンプ 113 の判別感度 0.1V 以下となる、 1.0×10^8 回で済む。

【0058】従って、この実施の形態によれば、図 5 (A) 及び (B) と図 6 から、既に述べた第 1 の実施の形態より少ない回数で、第 1 の実施の形態と同等の保証回数のサイクリング試験を行うことができる。

【0059】ここで、(2) の項で説明した第 1 の実施の形態と同様のスクリーニング試験を、この実施の形態の半導体記憶装置のメモリセルブロック 300 に行う例について述べる。この実施の形態のスクリーニング試験で、サイクリング試験は、(2) の項と同様の手順及び条件で、行われるとする。従って、この実施の形態のサイクリング試験について、(2) の項と重複する説明は省略する。

【0060】尚、この実施の形態のスクリーニング試験が行われるメモリセルブロック 300 は、メモリセルブロック 100 と同様の構成を有し、さらに、16386 ビットのテスト用補助メモリセル部 301 を有する構成であるとする。このとき、半導体記憶装置の構成は、4Mビット (= 1Mビット \times 4 個) のメモリセルと、16386 \times 2 \times 4 ビットのテスト用メモリセルと、16386 \times 4 ビットのテスト用補助メモリセルとを有する構成である。

【0061】また、以下に説明するこの実施の形態のスクリーニング試験では、図 6 を参照して説明したように、メモリセル 201 に関するビット線電圧の差 ΔV 1 が 0.3V で、及び劣化したメモリセル 201 に関するビット線電圧の差 $\Delta V'$ 1 が 0.2V であるとする。さらに、この実施の形態と比較する第 1 の実施の形態について、メモリセル 201 に関するビット線電圧の差 ΔV 0 が 0.5V で、及び劣化したメモリセル 201 に関するビット線電圧の差 $\Delta V'$ 0 が 0.4V であるとする。このとき、上述したように、この実施の形態によれば、第 1 の実施の形態のサイクリング試験を 10^2 倍加速させて行うことができるため、第 1 の実施の形態と同等の保証回数のサイクリング試験を、第 1 の実施の形態より少ない回数で行うことができる。

【0062】よって、この実施の形態では、上述した第 1 の実施の形態で、イ) の手順において行われる 1.0×10^8 回のサイクリング試験と同等のサイクリング試験を、前述した回数より少ない 1.0×10^6 回で行うことができる。さらに、この実施の形態では、上述した第 1 の実施の形態で、ロ) の手順において行われる 99×10^6 回のサイクリング試験と同等のサイクリング試験を、前述した回数より少ない 99×10^4 回で行うことができる。

【0063】従って、この実施の形態では、上述した第 1 の実施の形態のイ) の手順におけるサイクリング試験と同等の試験を、 $(120 (\mu s) \times 1 \times 10^6 (\text{回})) / (60 \times 60 (s/h)) = 0.033 (h)$ で、及びロ) の手順におけるサイクリング試験と同等の試験を、 $(12 (\mu s) \times 1 \times 99 \times 10^4$

4 (回) / (60×60 (s/h)) = 0.003
 (h)で行うことができる。この結果、この実施の形態の半導体記憶装置では、1.0×10¹²回の保証回数のサイクリング試験を、第1の実施の形態より短い0.033+0.003=0.036時間で行うことができる。

【0064】以上説明したように、この実施の形態の半導体記憶装置は、第1の実施の形態と同様の構成を有し、同様の動作を行う結果、第1の実施の形態と同様の効果が得られる。また、第1の実施の形態と比較して、この実施の形態の半導体記憶装置にテスト用補助メモリセル部301を設置することによって、スクリーニング試験時のビット線容量が増加する結果、センスアンプ113で検出される、劣化したメモリセル部101のメモリセルに関するビット線電圧の差ΔVが減少する。このため、第1の実施の形態と同等のサイクリング試験を、第1の実施の形態より少ない回数で行うことができる。従って、この実施の形態では、第1の実施の形態と比較して、サイクリング試験を短時間で実行することができる。

【0065】尚、上述したスクリーニング試験は単なる一例であって、この実施の形態では、サイクリング試験を所望の保証回数で行うことができ、さらに、電圧加速試験及び同測試験の手順は、上述した手順に限定されない。また、メモリセルブロック300及び半導体装置の構成は、当業者が決める設計事項であって、上述した構成に限定されない。

【0066】例えば、図3には、メモリセルブロック300にひとつのテスト用補助メモリセル部301を設ける構成を示し、該構成を有する半導体記憶装置について(3)及び(4)の項で説明を行った。しかし、既に述べたようにメモリセルブロック300には、複数のテスト用補助メモリセル部301を設けることができる。そして、既に説明したような活性化信号を、前述した複数のテスト用補助メモリセル部301のうち、任意の数のテスト用補助メモリセル部301に入力することによって、スクリーニング試験時、ビット線容量を所望の容量に増加させることができる。

【0067】〔第3の実施の形態〕次にこの発明の第3の実施の形態について説明する。この実施の形態の半導体記憶装置の構成は、既に説明した第1もしくは第2の実施の形態と同様の構成を有する。図7は、この実施の形態のメモリセルブロック700の構成を示す図である。尚、メモリセルブロック700について、図1もしくは図2に示す第1の実施の形態の構成、及び図3もしくは図4に示す第2の実施の形態の構成と同様の構成については、図7に上述した各図と同一の符号を付して示し、重複する説明は省略する。

【0068】メモリセルブロック700は、冗長メモリセル部701を有する。この冗長メモリセル部701

は、一般的に、メモリセルブロック700が有する予備の回路である。冗長メモリセル部701は、図7には図示しない複数の冗長メモリセルを有している。従来よりよく知られているように、メモリセル部101の複数のメモリセルのうち、欠陥により不良となったメモリセルは、冗長メモリセル部701の冗長メモリセルに代替される。

【0069】この実施の形態によれば、図2及び図4を参照して説明したテスト用メモリセル203もしくは図4を参照して説明したテスト用補助メモリセル401を冗長メモリセルとして用いる。この場合、図1及び図3を参照してテスト用メモリセル部103もしくは図3を参照して説明したテスト用補助メモリセル部301は、冗長メモリセル部701として構成される。すなわち、この実施の形態では、冗長メモリセル部701を、テスト用メモリセル部103もしくはテスト用補助メモリセル部301として用いる場合は、該冗長メモリセル部701は、信頼性試験におけるスクリーニング試験時に使用されるのが好ましい。但し、スクリーニング試験時に、冗長メモリセル部701が、上述したような予備回路として、予め使用されている場合は、テスト用メモリセル部103もしくはテスト用補助メモリセル部301として用いることはできない。

【0070】ここで、スクリーニング試験時における、冗長メモリセル部701の動作について説明する。図7には、第1冗長メモリセル部701a及び第2冗長メモリセル部701bによって構成された冗長メモリセル部701を示してある。第2冗長メモリセル部701bの構成は、第1冗長メモリセル部701aと同様である。但し、以下に説明するこの実施の形態では、第1冗長メモリセル部701aを上述したような予備回路として用い、第2冗長メモリセル部701bをテスト用メモリセル部103もしくはテスト用補助メモリセル部301として用いる。

【0071】第1冗長メモリセル部701aは、第1冗長用プレートラインドライバ703a及び第1冗長用ワードラインドライバ705aを有する。また第2冗長メモリセル部701bも、第1冗長メモリセル部701aと同様に、第2冗長用プレートラインドライバ703b及び第2冗長用ワードラインドライバ705bを有する。

【0072】尚、メモリセルブロック700外には、第1冗長用プレートラインドライバ制御回路707及び第2冗長用プレートラインドライバ制御回路709と、第1冗長用ワードラインドライバ制御回路711及び第2冗長用ワードラインドライバ制御回路713とが設けられる構成であるのが好ましい。

【0073】スクリーニング試験時、第1冗長メモリセル部701aを、上述したような予備回路として使用する場合、第1冗長用プレートラインドライバ制御回路7

このため、この実施の形態によれば、テスト用メモリセル部103もしくはテスト用補助メモリセル部301を設けることによるメモリセルブロック700におけるメモリセル面積の増加を防ぐことができる。

【0076】また、この実施の形態では、メモリセルブロック700の冗長メモリセル部701を上述したような構成とすることにより、該メモリセルブロック700は、第1の実施の形態のメモリセルブロック100及び第2実施の形態のメモリセルブロック200と同様の構成を有し、同様の動作を行う。その結果、この実施の形態でも、第1及び第2の実施の形態と同様の効果を得ることができる。

【００７７】尚、この実施の形態の冗長メモリセル部７０１の構成及び動作は、上述した構成及び動作に限られない。従って、この実施の形態によれば、任意の数の冗長メモリセル部７０１を、メモリセルブロック７００に設けることができる。

【0078】

【 0 0 7 4 】 また、スクリーニング試験時、第 2 冗長用プレートラインドライバ制御回路 7 0 9 及び第 2 冗長用ワードラインドライバ制御回路 7 1 3 には、第 2 冗長信号 RED 0 1 及び活性化テスト信号 TEST 0 1 を入力させる。これらの信号が入力されると、第 2 冗長用プレートラインドライバ制御回路 7 0 9 から第 2 冗長用プレートラインドライバインエーブル信号 RPLDEN 0 1 が出力され、第 2 冗長用ワードラインドライバ制御回路 7 1 3 から第 2 冗長用ワードラインドライバインエーブル信号 RWLDEN 0 1 が出力される。そして、第 2 冗長メモリセル部 7 0 1 b において、第 2 冗長用プレートラインドライバ 7 0 3 b に、第 2 冗長用プレートラインドライバインエーブル信号 RPLDEN 0 1 が入力され、及び第 2 冗長用ワードラインドライバ 7 0 5 b に、第 2 冗長用ワードラインドライバ制御回路 7 1 3 から、第 2 冗長用ワードラインドライバインエーブル信号 RWLDEN 0 1 が入力されると、該第 2 冗長メモリセル部 7 0 1 b は活性化される。第 2 冗長メモリセル部 7 0 1 b は、活性化されると、第 1 もしくは第 2 の実施の形態におけるテスト用メモリセル部 1 0 3 もしくはテスト用補助メモリセル部 3 0 1 としての動作を行う。

【発明の効果】上述した説明から明かなように、この発明の半導体記憶装置では、スクリーニング試験時に、テスト用メモリセル部を利用してサイクリング試験を行う。よって、この発明の半導体記憶装置に対しては、スクリーニング試験時、メモリセル部のメモリセルを疲労させず、サイクリング試験を行うことができる。また、この発明において、テスト用メモリセル部は、メモリセルブロックにおいて、強誘電体キャパシタが劣化しやすい位置に配置される。そして、このテスト用メモリセル部に対するサイクリング試験の結果、この発明の半導体記憶装置に対して、ファティーグの評価が行われる。従って、既に説明した従来技術と比較して、スクリーニング試験の信頼性を、飛躍的に向上させることができる。

【図面の簡単な説明】

【図1】第1の実施の形態のメモリセルブロックの構成を説明するための図である。

【図2】第1の実施の形態のメモリセル及びテスト用メモリセルの構成を説明するための図である。

【図3】第2の実施の形態のメモリセルブロックの構成を説明するための図である。

【図4】第2の実施の形態のテスト用補助メモリセルの構成を説明するための図である。

【図5】第2の実施の形態の動作を説明するため

(A) はメモリセルの分極状態を表すヒステリシス曲線であり、(B) は劣化したメモリセルの分極状態を表すヒステリシス曲線である。

【図6】第2の実施の形態の動作を説明するため、センスアンプの判別感度とビット線電圧の差との関係を説明するための図である。

【図 7】第 3 の実施の形態のメモリセルブロックの構成を説明するための図である。

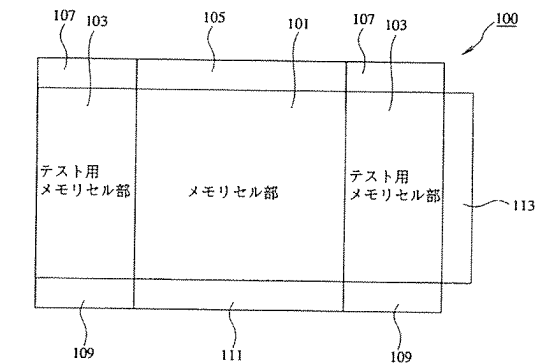
【図8】従来技術を説明するための図である。

【００７５】以上説明したように、この実施の形態によれば、通常、メモリセルブロック７００に設けられている予備回路としての冗長メモリセル部７０１を、第１及び第２の実施の形態において説明したテスト用メモリセル部１０３もしくはテスト用補助メモリセル部３０１として用いる。従って、該メモリセルブロック７００に対しては、第１及び第２の実施の形態で説明したような構成を有するテスト用メモリセル部１０３もしくはテスト用補助メモリセル部３０１を新たに設ける必要はない。

【符号の説明】

10、12、14、16：負荷線
 18、20、501、519：ヒステリシス曲線
 100、300、700：メモリセルブロック
 101：メモリセル部
 103：テスト用メモリセル部
 105：プレートラインドライバ
 107：テスト用プレートラインドライバ
 109：テスト用ワードラインドライバ
 111：ワードラインドライバ
 113：センスアンプ
 201：メモリセル
 203：テスト用メモリセル
 301：テスト用補助メモリセル部
 303：テスト用補助プレートラインドライバ
 305：テスト用補助ワードラインドライバ
 401：テスト用補助メモリセル
 503：第1の負荷線
 505：第2の負荷線
 507：第3の負荷線

【図1】



100：メモリセルブロック
 101：メモリセル部
 103：テスト用メモリセル部
 105：プレートラインドライバ
 107：テスト用プレートラインドライバ
 109：テスト用ワードラインドライバ
 111：ワードラインドライバ
 113：センスアンプ

第1の実施の形態のメモリセルブロックの構成例

509：第4の負荷線

511：第5の負荷線

513：第6の負荷線

515：第7の負荷線

517：第8の負荷線

601：第1特性

603：第2特性

605：第3特性

607：第4特性

10 701：冗長メモリセル部

701a：第1冗長メモリセル部

701b：第2冗長メモリセル部

703a：第1冗長用プレートラインドライバ

703b：第2冗長用プレートラインドライバ

705a：第1冗長用ワードラインドライバ

705b：第2冗長用ワードラインドライバ

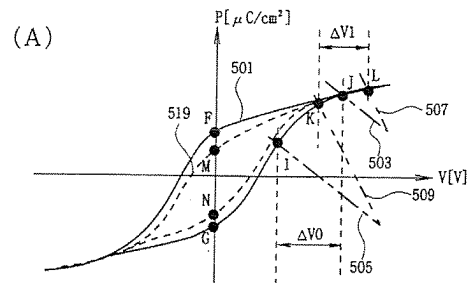
707：第1冗長用プレートラインドライバ制御回路

709：第2冗長用プレートラインドライバ制御回路

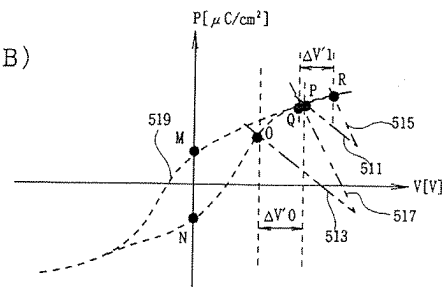
711：第1冗長用ワードラインドライバ制御回路

20 713：第2冗長用ワードラインドライバ制御回路

【図5】



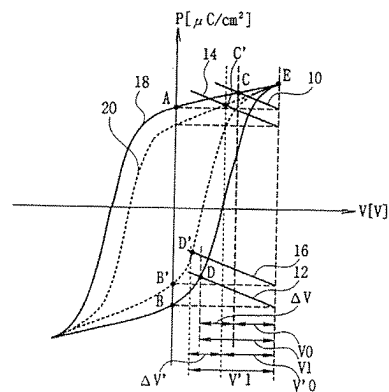
(B)



501, 519: ヒステリシス曲線
 503: 第1の負荷線
 505: 第2の負荷線
 507: 第3の負荷線
 509: 第4の負荷線
 511: 第5の負荷線
 513: 第6の負荷線
 515: 第7の負荷線
 517: 第8の負荷線

第2の実施の形態の動作を説明するための図（その1）

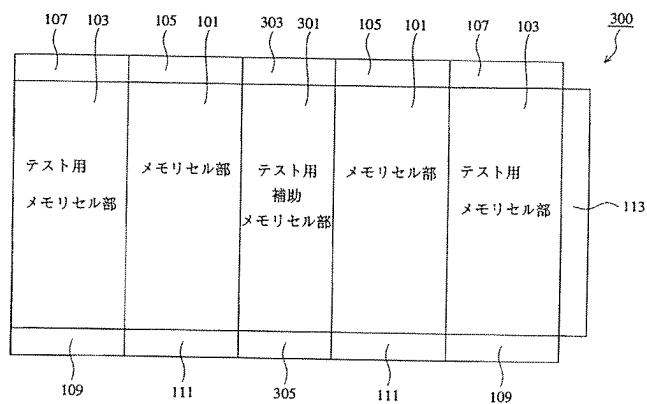
【図 8】



10, 12, 14, 16: 負荷線 18, 20: ヒステリシス曲線

従来技術の説明図

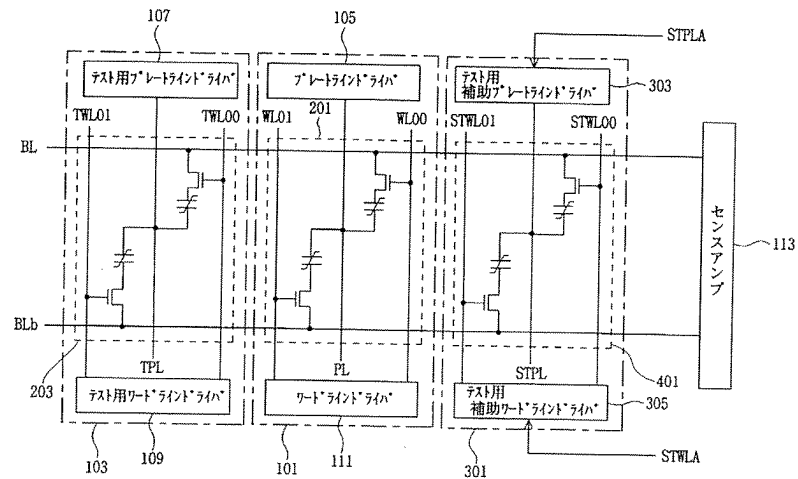
従来技術の説明図



300:メモリセルブロック
303:テスト用補助プレートラインドライバ
305:テスト用補助ワードラインドライバ

第2の実施の形態のメモリセルブロックの構成例

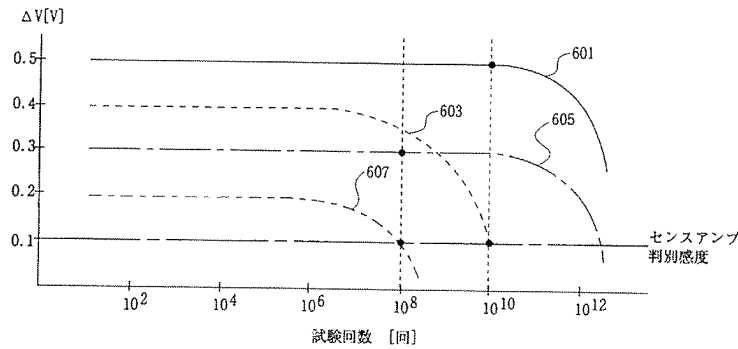
【図4】



401: テスト用補助メモリセル

第2の実施の形態のテスト用補助メモリセルの構成例

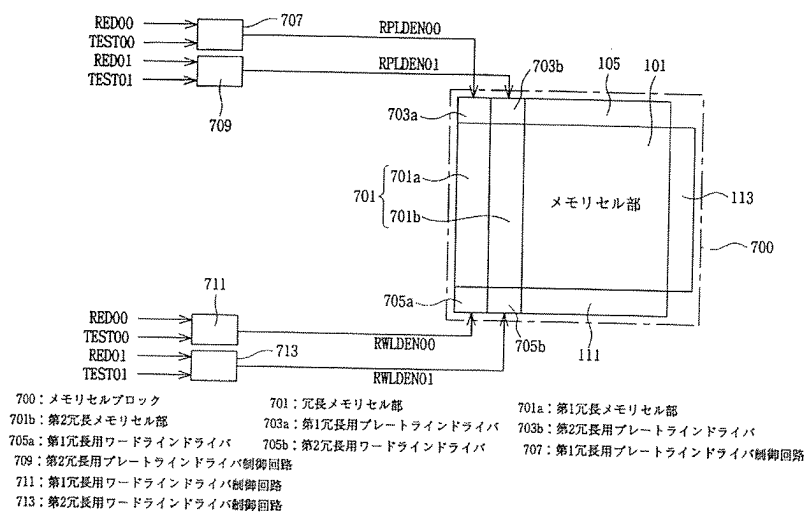
【図6】



601: 第1特性 603: 第2特性 605: 第3特性 607: 第4特性

第2の実施の形態の動作を説明するための図 (その2)

【図7】



第3の実施の形態のメモリセルブロックの構成例

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-308700

(43)Date of publication of application : 31.10.2003

(51)Int.Cl.

G11C 29/00

G11C 11/22

H01L 27/105

(21)Application number : 2002-108193

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 10.04.2002

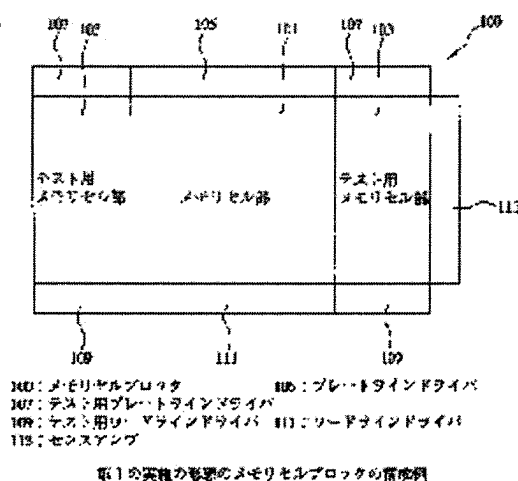
(72)Inventor : TAKAHASHI KAZUHIKO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which a cycling test of the number of times of guarantee for all devices can be performed at the time of a screening test and which is constituted of ferroelectric memories.

SOLUTION: A semiconductor memory is provided with a memory cell block 100 comprising a memory cell section 101 having a plurality of memory cells in which each cell comprises ferroelectric capacitor respectively, and a memory cell section 103 for test having a plurality of memory cells for the test. A layout pattern of the memory cell for the test is made a same pattern as the layout pattern of the memory cell, the memory cell section 103 for the test is arranged closely to a memory cell arranged at a position at which a ferroelectric capacitor is easy to deteriorate.



LEGAL STATUS

[Date of request for examination] 10.07.2002

[Date of sending the examiner's decision of rejection] 15.02.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2005-004939

[Date of requesting appeal against examiner's decision of rejection] 22.03.2005

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor memory constituted by ferroelectric random-access memory.

[0002]

[Description of the Prior Art] The 2T2C mold and the 1T1C mold are well known as the memory cell which constitutes the semiconductor memory (ferroelectric random-access memory) using polarization of a ferroelectric is indicated by reference 1 (a "low-power and high-speed LSI technology" incorporated company rear rise company, pp 231-250) and reference 2 ("everything about IC memory FRAMs not disappearing -", Kogyo Chosakai Publishing Co., Ltd., pp 29-37). A 2T2C mold memory cell consists of two transistors and two ferroelectric capacitors, and a 1T1C mold memory cell consists of one transistor and one capacitor.

[0003] The polarization condition of the ferroelectric capacitor of a memory cell which was mentioned above is usually expressed by the hysteresis curve as indicated by reference 1. This hysteresis curve 18 is shown in drawing 8.

Polarization P ($\mu\text{C}/\text{cm}^2$) is taken along an axis of ordinate, electrical-potential-difference V (V) is taken along an axis of abscissa, and this drawing is shown.

[0004] The hysteresis curve 18 shown in drawing 8 crosses at an axis of ordinate, an A point, and a B point, when an electrical potential difference is 0. An A point and a B point express the two amounts of remanences of a ferroelectric capacitor. That is, a ferroelectric capacitor holds the data of "L" (a condition without a low level, i.e., an electrical potential difference, or condition that an electrical potential difference is low), or the data of "H" (condition which has high level, i.e., an electrical potential difference) according to two remanence conditions shown in drawing 8. In the ferroelectric capacitor, when the amount of remanences is shown by the A point, the data of "H" are held, and when the amount of remanences is shown by the B point, the data of "L" are held.

[0005] By the way, the memory cell mentioned above is connected to the sense amplifier by the bit line. Since read-out actuation of the ferroelectric random-access memory constituted by memory cell which was mentioned above is the same as that of DRAM (Dynamic RAM (Random Access Memory)), it detects the bit line electrical potential difference produced by the voltage division of a ferroelectric capacitor and the bit line capacity C_b with a sense amplifier, as indicated by reference 1 and reference 2. In addition, according to the reference 1, this bit line electrical potential difference is decided by the configuration and the bit line capacity C_b of a hysteresis curve of a ferroelectric capacitor.

[0006] The load line 10 and load line 12 corresponding to two remanence conditions of a ferroelectric capacitor expressed with the A point and B point other than a hysteresis curve 18 are shown in drawing 8. The inclination of these load lines 10 and a load line 12 is the bit line capacity C_b . Moreover, in a hysteresis curve 18, the section of E points is the field of a noninverting response of a ferroelectric capacitor from an A point, and the section of E points is the field of a reversal response of a ferroelectric capacitor from a B point. And the read-out bit line electrical potential difference V_0 and the bit line electrical potential difference V_1 in two storage conditions of a ferroelectric capacitor can be found from the intersection D of the section between E points, and a load line 12, and E points from the intersection C of the section between the A point in a hysteresis curve 18, and E points, and a load line 10, and the B point in a hysteresis curve 18. Difference ΔV of these bit line electrical potential difference V_0 and the bit line electrical potential difference V_1 needs to be more than the distinction sensibility of a sense amplifier.

[0007] By the way, read-out actuation of the ferroelectric random-access memory explained above is destructive read-out like DRAM. In read-out actuation and write-in actuation of ferroelectric random-access memory, if a ferroelectric capacitor repeats polarization reversal, the amount of polarization of this capacitor will decrease. This phenomenon is a phenomenon peculiar to ferroelectric random-access memory, and is usually called a fatigue (fatigue property). The

dotted line has shown the hysteresis curve 20 of the ferroelectric capacitor which deteriorated by the fatigue in drawing 8. this -- the time -- having mentioned above -- a procedure -- being the same -- a procedure -- a load line -- 14 -- a hysteresis curve -- 20 -- an intersection -- C -- ' -- a load line -- 16 -- a hysteresis curve -- 20 -- an intersection -- D -- ' -- and -- E -- a point -- from -- a bit line -- an electrical potential difference -- V -- ' -- zero -- and -- a bit line -- an electrical potential difference -- V -- ' -- one -- it can ask. Here, the inclination of a load line 14 and a load line 16 is also the bit line capacity C_b . the ferroelectric capacitor which deteriorated by the fatigue -- the bit line electrical potential difference V -- 'difference ΔV of 0 and the bit line electrical potential difference V_1 is decreasing from difference ΔV of the bit line electrical potential difference V_0 and the bit line electrical potential difference V_1 which were mentioned above, and becomes below the distinction sensibility of a sense amplifier. At this time, it is judged that the ferroelectric random-access memory which has the ferroelectric capacitor which deteriorated has deteriorated.

[0008] By the way, generally in the reliability trial to the device which consists of ferroelectric random-access memory, assessment about the fatigue mentioned above is performed. It is indicated by the open data 1 ("a guarantee of the FUJITSU FRAM quality and dependability", the 2002 FUJITSU homepage (<http://edevice.fujitsu.com/fj/CATAROG/AD00/00-00015/1-7.html>)) about the reliability trial about a fatigue performed from before.

[0009]

[Problem(s) to be Solved by the Invention] A screening trial is performed in the reliability trial about a fatigue. A screening trial is a trial which finds the defect memory cell in a device and which is performed for accumulating. a screening trial adds the fatigue stress by the thing of the ferroelectric random-access memory which constitutes a device for which reading appearance is carried out and the predetermined number of actuation or write-in actuation is repeated, and, also after that, is performed by confirming whether ferroelectric random-access memory carries out normal actuation as indicated by the open data 1. This trial is called cycling trial. In a screening trial, as a result of performing the cycling trial of a predetermined count, when the defect memory cell by the fatigue of a ferroelectric capacitor which deteriorated is not detected, let the count which performed the cycling trial be a count of a guarantee.

[0010] However, generally by screening trial, the cycling trial of the count of a guarantee is not performed to the device used as a product. For example, when the count of a guarantee is 1.0×10^{12} times, a cycling trial is performed to the device used as a product only 1.0×10^{10} times. And when a defect memory cell is detected by 1.0×10^{10} cycling trials and there is nothing, even if the device concerned performs 1.0×10^{12} cycling trials of the count of a guarantee, it is predicted too that a defect memory cell is not detected. This prediction is the device which is not used as a product, and the thing based on the data of 1.0×10^{12} cycling trials performed about TEG (the wafer or chip which is made when developing a new manufacture process and standardizing, or when performing a new circuit design, and which carried the component and circuit for assessment). That is, according to the screening trial which was mentioned above, dispersion in the count of a guarantee between each device is not taken into consideration, but all devices serve as 1.0×10^{12} times of counts of a guarantee by 1.0×10^{10} cycling trials. Therefore, the device which has the count of a guarantee determined by the cycling trial which was mentioned above had a problem in the dependability about a fatigue.

[0011] Therefore, in view of a trouble which was mentioned above, the object of this invention is in a screening trial to offer the semiconductor memory which consisted of ferroelectric random-access memory which can perform the cycling trial of the count of a guarantee about all devices.

[0012]

[Means for Solving the Problem] According to the semiconductor memory of this invention, each is equipped with the memory cell block containing the memory cell section containing a ferroelectric capacitor which has two or more memory cells, and the memory cell section for a test which has two or more memory cells for a test in order to attain the object mentioned above. In this invention, the layout pattern of the memory cell for a test is made the same as that of the layout pattern of a memory cell. Moreover, according to this invention, the memory cell section for a test approaches the memory cell arranged in the location where a ferroelectric capacitor tends to deteriorate among two or more memory cells, and is arranged.

[0013] The memory cell section for a test which the memory cell block of the semiconductor memory of this invention has is used at the time of the screening trial in a reliability trial. Moreover, since the layout pattern of the memory cell for a test is made the same as that of the layout pattern of a memory cell, it can be arranged in the location of the request of the memory cell section for a test to a memory cell block at the time of a screening trial.

[0014] In a screening trial, if a cycling trial which was already explained is performed, fatigue will be accumulated in the ferroelectric capacitor of a memory cell. Therefore, in the memory cell section, the memory cell arranged in the

location where a ferroelectric capacitor tends to deteriorate among two or more memory cells is a high memory cell of possibility of being detected as a defect memory cell in a screening trial. According to this invention, the memory cell section for a test approaches this memory cell, and is arranged. And the dependability of this trial can be raised, without tiring the memory cell section, if a screening trial is performed to the semiconductor memory of this invention using the memory cell section for a test.

[0015] For example, when performing 1.0×10^{12} cycling trials of the count of a guarantee to a semiconductor memory of this invention which was mentioned above, the 1.0×10^{10} same cycling trials as the former already explained to the memory cell section of a memory cell block and the memory cell section for a test are performed. Then, 99×10^{10} cycling trials are performed only in the memory cell section for a test. Consequently, it means that, as for the memory cell section for a test, 1.0×10^{12} cycling trials of the count of a guarantee were performed. Thus, since the cycling trial of the count of a guarantee can be performed to the semiconductor memory of this invention, dependability can be raised from the conventional cycling trial.

[0016]

[Embodiment of the Invention] Hereafter, with reference to drawing, the gestalt of operation by invention concerning this application is explained. In addition, that it is not the thing over which it does not pass for it to be roughly shown in extent which can understand this invention, and be therefore by which this invention is limited only to the example of a graphic display should understand each drawing used for the following explanation. Moreover, in each drawing used for explanation, about the same constituent, the same sign is attached, it may be shown and the overlapping explanation may be omitted.

[0017] [the gestalt of the 1st operation] -- the gestalt of implementation of the 1st of this invention is explained.

[0018] (1) **** of the gestalt of the 1st operation -- explain the configuration of the semiconductor memory of the gestalt of this operation. The semiconductor memory of the gestalt of this operation is equipped with a memory cell block. Drawing 1 is drawing showing the configuration of the memory cell block 100 formed in the semiconductor memory of the gestalt of this operation.

[0019] The memory cell block 100 is equipped with the memory cell section 101 and the memory cell section 103 for a test. The memory cell section 101 has the plate line driver 105 and the WORD line driver 111, and the memory cell section 103 for a test has the plate line driver 107 for a test, and the WORD line driver 109 for a test. Furthermore, a sense amplifier 113 is formed in the memory cell block 100.

[0020] In the gestalt of this operation, the memory cell section 101 has two or more memory cells, and the memory cell section 103 for a test has two or more memory cells for a test. Next, with reference to drawing 2, the configuration of two or more memory cells which can be set in the memory cell section 101, and two or more memory cells for a test which can be set in the memory cell section 103 for a test is explained. Drawing 2 is drawing showing the configuration of one memory cell 203 for a test among two or more memory cells of the memory cell section 101 among one memory cell 201 and two or more memory cells for a test of the memory cell section 103 for a test. In addition, as for the memory cell section 101, according to the gestalt of this operation, it is desirable to consist of a memory cell 203 for a test which consists of a memory cell 201 and two or more memory cells which have the same configuration, and also explains the memory cell section 103 for a test below, and two or more memory cells for a test which have the same configuration.

[0021] First, the configuration of a memory cell 201 is explained. The memory cell 201 of the gestalt of this operation has the ferroelectric capacitor, and has shown the memory cell 201 which has the configuration currently indicated by reference 1 and the configuration of the same 2T2C mold to drawing 2. At this time, a memory cell 201 is connected with the plate line driver 105 by one plate line PL, and the WORD line driver 111 is connected by the word line WL01 and the word line WL00. In addition, as mentioned above, it connects with the common plate line driver 105 by the plate line, respectively, and two or more memory cells which constitute the memory cell section 101 are connected to the common WORD line driver 111 by the word line, as mentioned above.

[0022] Next, the configuration of the memory cell 203 for a test is explained. According to the gestalt of this operation, the layout pattern of the memory cell 203 for a test is made the same as that of the layout pattern of a memory cell 201. Therefore, as shown in drawing 2, when a memory cell 201 has the configuration of a 2T2C mold, it has the configuration of the 2T2C mold as this memory cell 201 also with the same memory cell 203 for a test. And at this time, the memory cell 203 for a test is connected with the plate line driver 107 for a test by one plate line TPL for a test like a memory cell 201, and the WORD line driver 109 for a test is connected by the word line TWL01 for a test, and the word line TWL00 for a test.

[0023] Moreover, as shown in drawing 2, it connects with a sense amplifier 113 with the bit lines BL and BLb with common memory cell 201 and memory cell 203 for a test.

[0024] By the way, the memory cell section 103 for a test which the memory cell block 100 of the semiconductor memory of the gestalt of this operation has is used at the time of the screening trial in a reliability trial. As mentioned above, since the layout pattern of the memory cell 203 for a test is made the same as that of the layout pattern of a memory cell 201, it can be arranged in the location of the request of the memory cell section 103 for a test to the memory cell block 100 at the time of a screening trial. According to the gestalt of this operation, the memory cell section 103 for a test approaches the memory cell arranged in the location where a ferroelectric capacitor tends to deteriorate among two or more memory cells, and is arranged.

[0025] The location with which the ferroelectric capacitor in the memory cell section 101 tends to deteriorate here means the following locations, for example. According to the configuration of the integrated circuit of the memory cell block 100, this memory cell block 100 has the covering film for protecting the ferroelectric capacitor of a memory cell 201 from damages, such as hydrogen. However, in the memory cell section 101, the periphery of this covering film tends to receive penetration of hydrogen etc. on the structure of the covering film mentioned above. Consequently, in the memory cell section 101, a ferroelectric capacitor tends to deteriorate in the memory cell 201 arranged at the periphery of the covering film mentioned above. Therefore, in the memory cell section 101, the location where a ferroelectric capacitor tends to deteriorate means the periphery of the covering film of this memory cell section 101 in this case.

[0026] (2) In order to explain actuation of the gestalt of the 1st operation, next actuation of the semiconductor memory of the gestalt of this operation, describe the screening trial performed to the memory cell block 100 of this semiconductor memory.

[0027] The screening trial of the gestalt of this operation performs a cycling trial which was already explained by 1.0×10^{12} times of the counts of a guarantee. Moreover, the configuration of the memory cell block 100 with which this screening trial is performed presupposes that it is the 16386-bit memory cell section 103 for a test the configuration of having two pieces and the memory cell section 101 of 1M (=512Kx2) bit. And a semiconductor memory presupposes that it is a configuration equipped with four memory cell blocks 100 mentioned above. At this time, a semiconductor memory is the configuration of having a 4M bit (=1M bit x4 piece) memory cell and a 16386x2x4-bit memory cell for a test.

[0028] With the gestalt of this operation, in the memory cell block 100, the memory cell section 103 for a test approaches the memory cell arranged in the location where a ferroelectric capacitor tends to deteriorate, and is arranged. If a screening trial is performed as already explained, fatigue will be accumulated in the ferroelectric capacitor of a memory cell. Therefore, in the memory cell section 101, the memory cell arranged in the location where a ferroelectric capacitor tends to deteriorate among two or more memory cells is a high memory cell of possibility of being detected as a defect memory cell in a screening trial.

[0029] Therefore, according to the gestalt of this operation, a cycling trial is performed and fatigue is made not to be accumulated in the memory cell of the memory cell section 101 by using the memory cell section 103 for a test. In the cycling trial of the gestalt of this operation, 1.0×10^{10} cycling trials are performed in the memory cell section 101 of the I memory cell block 100, and the memory cell section 103 for a test like the already explained conventional technique.

[0030] b) Perform 99×10^{10} cycling trials only in the memory cell section 103 for a test after that.

[0031] When the cycling trial of I and RO is performed, it means that 1.0×10^{12} cycling trials which are a count of a guarantee were performed in the memory cell section 103 for a test here. And the result of having performed the same cycling trial as usual in the memory cell section 101 of the memory cell block 100 with the gestalt of this operation, A defect memory cell is not detected. In and the memory cell section 103 for a test As a result of performing 1.0×10^{12} cycling trials which are a count of a guarantee, when a defect memory cell is not detected too, the memory cell section 101 of the memory cell block 100 is also predicted to be that by which a defect memory cell is not detected by 1.0×10^{12} cycling trials. This prediction is the thing based on the data of 1.0×10^{12} cycling trials which followed the device which is not used as a product, and TEG like the already explained conventional technique.

[0032] By the way, in order to perform 1.0×10^{12} cycling trials of the count of a guarantee to the semiconductor memory mentioned above as indicated by the open data 1, it is difficult to predict that huge time amount is required and to perform actually. For this reason, according to the open data 1, the electrical-potential-difference accelerated test which makes the electrical potential difference impressed to the memory cell block 100 increase at the time of a cycling trial, and this ***** which adds fatigue stress to two or more memory cells at a time are performed. Therefore, also in the cycling trial of the gestalt of this operation, if it carries out by using together an electrical-potential-difference accelerated test and this ***** , a cycling trial can be performed in a short time.

[0033] If the electrical potential difference impressed to the memory cell block 100 is made to increase by 1V in an electrical-potential-difference accelerated test according to the open data 1, the time amount which a cycling trial takes

can be accelerated 10 times. The electrical potential difference at the time of a cycling trial is made to increase by 2V with the gestalt of this operation in I mentioned above. At this time, the cycling trial of 1.0×10^{10} time can be performed by 1.0×10^8 times. Moreover, in RO mentioned above, an electrical potential difference is made to increase by 2V further after I, and a cycling trial is performed. At this time, the cycling trial of 99×10^{10} time can be performed by 99×10^6 times.

[0034] Moreover, in I, in all the memory cells of the memory cell section 101, all the memory cells for a test of the memory cell section 103 for a test, and RO, with the gestalt of this operation, it is carried out by the package mode of operation which all the memory cells for a test of the memory cell section 103 for a test are put [mode of operation] in block, and operates them in one cycling trial in the memory cell block 100 which explained this ***** mentioned above with reference to drawing 1 and drawing 2. In I, at this time, operating cycle time amount is 120 microseconds, and, in RO, operating cycle time amount is 12 microseconds. In addition, the operating cycle time amount in this case means the thing of the time amount required in case one cycling trial is performed [in I] to all the memory cells for a test in the memory cell section 103 for a test in all the memory cells that constitute the memory cell block 100, all the memory cells for a test, and RO.

[0035] In I, therefore, the time amount which a cycling trial takes s will become $(120 \text{ (microsecond)} \times 1 \times 10^8 \text{ (time)}) / (60 \times 60 \text{ (second/h)}) = 3.33 \text{ (h)}$, supposing a second and h express time amount. And in RO, the time amount which a cycling trial takes becomes $(12 \text{ (microsecond)} \times 1 \times 99 \times 10^6 \text{ (time)}) / (60 \times 60 \text{ (second/h)}) = 0.33 \text{ (h)}$. Consequently, the semiconductor memory of the gestalt of this operation can perform 1.0×10^{12} cycling trials of the count of a guarantee by using the memory cell section 103 for a test in $3.33 + 0.33 = 3.66$ hours.

[0036] As explained above, the cycling trial of the count of a guarantee can be performed to the semiconductor memory of the gestalt of this operation, without tiring the memory cell of the memory cell section 101. Moreover, in the gestalt of this operation, the memory cell section 103 for a test is arranged in the memory cell block 100 in the location where a ferroelectric capacitor tends to deteriorate. And assessment of a fatigue is performed as a result of a cycling trial equivalent to the count of a guarantee to this memory cell section 103 for a test. Therefore, as compared with the already explained conventional technique, the dependability of a screening trial can be raised by leaps and bounds. Furthermore, if it carries out by using together an electrical-potential-difference accelerated test and this ***** as usual at the time of a cycling trial as mentioned above, this trial can be performed in a short time.

[0037] In addition, the screening trial mentioned above is a mere example, the count of a guarantee of a request of a cycling trial can perform it with the gestalt of this operation, and the procedure of an electrical-potential-difference accelerated test and this ***** is not further limited to the procedure mentioned above. Moreover, the memory cell block 100 and the configuration of a semiconductor memory are the design matters which this contractor can decide, and are not limited to the configuration mentioned above.

[0038] Moreover, although the gestalt of this operation mentioned above explains the case where a cycling trial is performed, as a screening trial, an imprint trial and a retention trial may be performed to the semiconductor device of the gestalt of this operation. In this case, each trial mentioned above can be performed, without accumulating too much fatigue in the memory cell of the memory cell section 101 by using the memory cell section 103 for a test like the cycling trial mentioned above.

[0039] [the gestalt of the 2nd operation] -- the gestalt of implementation of the 2nd of this invention is explained below.

[0040] (3) **** of the gestalt of the 2nd operation -- the configuration of the semiconductor memory of the gestalt of this operation has the already explained same configuration as the gestalt of the 1st operation. Drawing 3 is drawing showing the configuration of the memory cell block 300 of the gestalt of this operation. In addition, about the same configuration as the gestalt of the 1st operation shown in drawing 1 and drawing 2 about the memory cell block 300, the same sign as drawing 1 and drawing 2 is given to drawing 3, it is shown and the overlapping explanation is omitted.

[0041] As shown in drawing 3, the memory cell block 300 of the gestalt of this operation is the configuration of having formed two or more auxiliary memory cell sections 301 for a test to the memory cell block 100 of the gestalt of the 1st operation shown in drawing 1. In addition, the configuration which forms the one auxiliary memory cell section 301 for a test in the memory cell block 300 is shown in drawing 3. Moreover, the auxiliary memory cell section 301 for a test has the auxiliary plate line driver 303 for a test, and the auxiliary WORD line driver 305 for a test.

[0042] This auxiliary memory cell section 301 for a test has two or more auxiliary memory cells for a test. Next, with reference to drawing 4, the configuration of the auxiliary memory cell for a test is explained. Drawing 4 is drawing showing the configuration of one auxiliary memory cell 401 for a test among two or more auxiliary memory cells for a test of the auxiliary memory cell section 301 for a test. In addition, as for the auxiliary memory cell section 301 for a

test, according to the gestalt of this operation, it is desirable to consist of an auxiliary memory cell 401 for a test explained below and two or more auxiliary memory cells for a test which have the same configuration. Moreover, about the configuration shown in drawing 2 among configurations of being shown in drawing 4, and the same configuration, the same sign as drawing 2 is attached, it is shown and the overlapping explanation is omitted.

[0043] According to the gestalt of this operation, the layout pattern of the auxiliary memory cell 401 for a test is made the same as that of the layout pattern of a memory cell 201. The memory cell 201 which has the configuration of a 2T2C mold is shown in drawing 4 like drawing 2. Therefore, it has the configuration of the 2T2C mold as a memory cell 201 also with the same auxiliary memory cell 401 for a test at this time. And at this time, the auxiliary memory cell 401 for a test is connected with the auxiliary plate line driver 303 for a test by one auxiliary plate line STPL for a test like a memory cell 201, and the auxiliary WORD line driver 305 for a test is connected by the auxiliary word line STWL01 for a test, and the auxiliary word line STWL00 for a test.

[0044] Moreover, as shown in drawing 4, it connects with a sense amplifier 113 with the bit lines BL and BLb with common memory cell 201 and auxiliary memory cell 401 for a test.

[0045] By the way, as for the auxiliary memory cell section 301 for a test of a configuration as mentioned above with the gestalt of this operation, it is desirable like the memory cell section 103 for a test to be used at the time of the screening trial in a reliability trial.

[0046] (4) Explain actuation of the gestalt of the 2nd operation, next actuation of the semiconductor memory of the gestalt of this operation. As mentioned above, the auxiliary memory cell section 301 for a test is used at the time of a screening trial. If an activation signal is inputted into the auxiliary memory cell section 301 for a test and this signal is inputted at the time of a screening trial, the auxiliary memory cell section 301 for a test will be activated. With reference to drawing 4, actuation of the auxiliary memory cell 401 for a test concerning activation of the auxiliary memory cell section 301 for a test is explained. In addition, actuation of two or more auxiliary memory cells for a test which the auxiliary memory cell section 301 for a test has is the same as actuation of the auxiliary memory cell 401 for a test explained below.

[0047] According to the gestalt of this operation, as shown in drawing 4, as for the activation signal mentioned above, it is desirable that it is a signal including the 2nd activation signal STPLA inputted into the 1st activation signal STWLA and the auxiliary plate line driver 303 for a test which are inputted into the auxiliary WORD line driver 305 for a test. In the configuration shown in drawing 4, if the 1st activation signal STWLA is inputted into the auxiliary WORD line driver 305 for a test, this auxiliary WORD line driver 305 for a test fixes the auxiliary word lines STWL00 and STWL01 for a test to "H". Moreover, if the 2nd activation signal STPLA is inputted into the auxiliary plate line driver 303 for a test, this auxiliary plate line driver 303 for a test fixes the auxiliary plate line STPL for a test to "L." A charge flows out of the auxiliary memory cell 401 for a test into bit lines BL and BLb in this condition.

[0048] The configuration of the gestalt of this operation shown in drawing 4 has further the composition of having connected the auxiliary memory cell 401 for a test to the sense amplifier 113 with a memory cell 201 and the memory cell 203 for a test, and the common bit lines BL and BLb, as compared with the configuration shown in drawing 2. If the auxiliary memory cell section 301 for a test is activated by the 1st and 2nd activation signals STWLA and STPLA as mentioned above, the bit line capacity of bit lines BL and BLb will increase from the bit line capacity Cb0 of the gestalt of the 1st operation to the bit line capacity Cb1.

[0049] Here, the hysteresis curve 501 which expresses the polarization condition of the ferroelectric capacitor which the memory cell 201 of the memory cell section 101 has to drawing 5 (A) is shown like drawing 8. In addition, the dotted line has shown the screening trial to drawing 5 (A) and (B) like drawing 8 in the hysteresis curve 519 of the ferroelectric capacitor of a memory cell 201 which deteriorated as a result of giving fatigue stress. Therefore, in drawing 5 (A) and (B), as for an axis of ordinate, Polarization P ($\mu\text{C}/\text{cm}^2$) and an axis of abscissa express electrical-potential-difference V (V).

[0050] The ferroelectric capacitor of a memory cell 201 has two remanence conditions expressed with F points and G points, as shown in drawing 5 (A). The 1st - the 4th load line 503, 505, 507, and 509 corresponding to two remanence conditions expressed with F points and G points are shown in the hysteresis curve 501 of drawing 5 (A). Here, the 1st and 2nd load lines 503 and 505 correspond to two remanence conditions of the memory cell 201 in the 1st configuration of the gestalt of operation, and the 3rd and 4th load lines 507 and 509 correspond to two remanence conditions of the memory cell 201 in the configuration of the gestalt of this operation. Therefore, the inclination of the 1st and 2nd load lines 503 and 505 is the bit line capacity Cb0, and the inclination of the 3rd and 4th load lines 507 and 509 is the bit line capacity Cb1.

[0051] Moreover, two remanence conditions of the ferroelectric capacitor of a memory cell 201 which deteriorated are shown by M points and N point in drawing 5 (A) and drawing 5 (B). And the 5th - the 8th load line 511, 513, 515, and

517 corresponding to two remanence conditions expressed with M points and N point about the hysteresis curve 519 of drawing 5 (B) as well as the hysteresis curve 501 of drawing 5 (A) are shown. Here, the 5th and 6th load lines 511 and 513 correspond to two remanence conditions of the memory cell 201 in the 1st configuration of the gestalt of operation which deteriorated, and the 7th and 8th load lines 515 and 517 correspond to two remanence conditions of the memory cell 201 in the configuration of the gestalt of this operation which deteriorated. Therefore, the inclination of the 5th and 6th load lines 511 and 513 is the bit line capacity Cb0, and the inclination of the 7th and 8th load lines 515 and 517 is the bit line capacity Cb1.

[0052] As already explained, in a cycling trial, a sense amplifier 113 detects the bit line electrical potential difference produced by the voltage division of the ferroelectric capacitor of a memory cell 201, the memory cell 203 for a test, or the auxiliary memory cell 401 for a test, and the bit line capacity of bit lines BL and BLb. Moreover, the bit line electrical potential difference in two storage conditions of the ferroelectric capacitor of a memory cell 201 is called for by the procedure explained with reference to drawing 8, and the same procedure.

[0053] Here, according to the procedure explained with reference to drawing 8 about the gestalt of the 1st operation, in drawing 5 (A), the difference ΔV_0 of the bit line electrical potential difference in two storage conditions of the ferroelectric capacitor of a memory cell 201 is equal to the difference of the electrical potential difference corresponding to the intersection J of the 1st load line 503 and a hysteresis curve 501, and the electrical potential difference corresponding to the intersection I of the 2nd load line 505 and a hysteresis curve 501. Moreover, the difference ΔV_1 of the bit line electrical potential difference in two storage conditions of the ferroelectric capacitor of a memory cell 201 can be searched for from the intersection L of the 3rd load line 507 and a hysteresis curve 501, and the intersection K of the 4th load line 509 and a hysteresis curve 501 about the gestalt of this operation as well as ΔV_0 mentioned above. With the gestalt of this operation, if the bit line capacity Cb0 of the gestalt of the 1st operation increases to the bit line capacity Cb1 as mentioned above, difference ΔV of a bit line electrical potential difference will decrease from drawing 5 (A) to the difference ΔV_1 of a bit line electrical potential difference from the difference ΔV_0 of the bit line electrical potential difference of the gestalt of the 1st operation.

[0054] furthermore, in drawing 5 (B), about the memory cell 201 which deteriorated It is made to be the same as that of the procedure which explained difference $\Delta V'_0$ of the bit line electrical potential difference in two storage conditions of the ferroelectric capacitor of this memory cell 201 of the gestalt of the 1st operation with reference to drawing 5 (A). It can ask from the intersection P of the 5th load line 511 and a hysteresis curve 519, and the intersection O of the 6th load line 513 and a hysteresis curve 519. Moreover, it can ask from the intersection R of the 7th load line 515 and a hysteresis curve 519, and the intersection Q of the 8th load line 517 and a hysteresis curve 519 like [memory cell / in this drawing / 201 / which deteriorated] the procedure which explained difference $\Delta V'_1$ of the bit line electrical potential difference in two storage conditions of the ferroelectric capacitor of this memory cell 201 of the gestalt of this operation with reference to drawing 5 (A). With the gestalt of this operation, if the bit line capacity Cb0 of the gestalt of the 1st operation increases to the bit line capacity Cb1 as mentioned above, difference ΔV of the bit line electrical potential difference about the memory cell 201 which deteriorated will decrease from drawing 5 (B) to difference $\Delta V'_1$ of a bit line electrical potential difference from difference $\Delta V'_0$ of the bit line electrical potential difference of the gestalt of the 1st operation.

[0055] Here, the relation between difference ΔV of the bit line electrical potential difference in two storage conditions of the ferroelectric capacitor of a memory cell 201 and the distinction sensibility of a sense amplifier 113 is explained with reference to drawing 6 about the cycling trial in a screening trial. Drawing 6 is drawing showing difference ΔV of a bit line electrical potential difference / in / for the count of a trial in a cycling trial / two storage conditions of the ferroelectric capacitor of a memory cell 201] V (V) on an axis of abscissa at an axis of ordinate, and is drawing with which explanation of operation is presented. Moreover, the 1st property 601 of the bit lines BL and BLb in the gestalt of the 1st operation, the 2nd property 603, the 3rd property 605 of the bit lines BL and BLb in the gestalt of this operation, and the 4th property 607 are shown in drawing 6. Furthermore, in the 1st - the 4th property 601, 603, 605, and 607 which were mentioned above about drawing 6, the distinction sensibility of a sense amplifier 113 is 0.1V.

[0056] About the gestalt of the 1st operation, the 1st property 601 expresses the change in the cycling trial of the difference ΔV_0 of this bit line electrical potential difference, when the difference ΔV_0 of the bit line electrical potential difference about a memory cell 201 is 0.5V. Moreover, the 2nd property 603 expresses the change in the cycling trial of this bit line electrical potential difference of difference $\Delta V'_0$, when difference $\Delta V'_0$ of the bit line electrical potential difference about the memory cell 201 which deteriorated is 0.4V. In order to detect the memory cell 201 which deteriorated in a screening trial according to the 1st property 601 and the 2nd property 603 which are shown in drawing 6, difference $\Delta V'_0$ of the bit line electrical potential difference about the memory cell 201 which

deteriorated must perform 1.0×10^{10} cycling trials used as less than [of a sense amplifier 113 / distinction sensibility 0.1V].

[0057] On the other hand, about the gestalt of this operation, the 3rd property 605 expresses the change in the cycling trial of the difference ΔV_1 of this bit line electrical potential difference, when the difference ΔV_1 of the bit line electrical potential difference about a memory cell 201 is 0.3V. Moreover, the 4th property 607 expresses the change in the cycling trial of this bit line electrical potential difference of difference $\Delta V'_1$, when difference $\Delta V'_1$ of the bit line electrical potential difference about the memory cell 201 which deteriorated is 0.2V. According to the 3rd property 605 and the 4th property 607 which are shown in drawing 6, with the gestalt of this operation, the count of a trial of the cycling trial performed for accumulating can be managed with 1.0×10^8 times from which difference $\Delta V'_1$ of the bit line electrical potential difference about the memory cell 201 which detects the memory cell 201 which deteriorated, and which deteriorated becomes less than [of a sense amplifier 113 / distinction sensibility 0.1V] in a screening trial.

[0058] Therefore, according to the gestalt of this operation, the cycling trial of the count of a guarantee equivalent to the gestalt of the 1st operation can be performed by the already described count smaller than the gestalt of the 1st operation from drawing 5 (A), and (B) and drawing 6.

[0059] Here, the example which carries out the same screening trial as the gestalt of the 1st operation explained by the term of (2) to the memory cell block 300 of the semiconductor memory of the gestalt of this operation is described. By the screening trial of the gestalt of this operation, cycling trials are the same procedure as a term and conditions of (2), and suppose that they are carried out. Therefore, the explanation which overlaps the term of (2) is omitted about the cycling trial of the gestalt of this operation.

[0060] In addition, the memory cell block 300 with which the screening trial of the gestalt of this operation is performed has the same configuration as the memory cell block 100, and suppose further that it is the configuration of having the 16386-bit auxiliary memory cell section 301 for a test. At this time, the configuration of a semiconductor memory is a configuration of having a 4M bit (=1M bit x4 piece) memory cell, a 16386x2x4 bits memory cell for a test, and a 16386x4-bit auxiliary memory cell for a test.

[0061] Moreover, in the screening trial of the gestalt of this operation explained below, as explained with reference to drawing 6, suppose that the difference ΔV_1 of the bit line electrical potential difference about a memory cell 201 is 0.3V, and difference $\Delta V'_1$ of the bit line electrical potential difference about the memory cell 201 which deteriorated is 0.2V. Furthermore, suppose that difference $\Delta V'_0$ of the bit line electrical potential difference about the memory cell 201 which the difference ΔV_0 of the concerning memory cell 201 about gestalt of the 1st operation bit line electrical potential difference in comparison with the gestalt of this operation is 0.5V, and deteriorated is 0.4V. Since according to the gestalt of this operation it can be made to be able to accelerate 102 times and the cycling trial of the gestalt of the 1st operation can be performed as mentioned above at this time, the cycling trial of the count of a guarantee equivalent to the gestalt of the 1st operation can be performed by the count smaller than the gestalt of the 1st operation.

[0062] Therefore, the gestalt of this operation can perform a cycling trial equivalent to 1.0×10^8 cycling trials which were mentioned above and which are performed in the procedure of I with the gestalt of the 1st operation by 1.0×10^6 times fewer than the count mentioned above. Furthermore, the gestalt of this operation can perform a cycling trial equivalent to 99×10^6 cycling trials which were mentioned above and which are performed in the procedure of RO with the gestalt of the 1st operation by 99×10^4 times fewer than the count mentioned above.

[0063] With the gestalt of this operation, a trial equivalent to the cycling trial in the procedure of I of the gestalt of the 1st operation mentioned above therefore, by $(120 \text{ (microsecond)} \times 1 \times 10^6 \text{ (time)}) / (60 \times 60 \text{ (second/h)}) = 0.033 \text{ (h)}$ And a trial equivalent to the cycling trial in the procedure of RO can be performed by $(12 \text{ (microsecond)} \times 1 \times 99 \times 10^4 \text{ (time)}) / (60 \times 60 \text{ (second/h)}) = 0.003 \text{ (h)}$. Consequently, the semiconductor memory of the gestalt of this operation can perform 1.0×10^{12} cycling trials of the count of a guarantee in $0.033 + 0.003 = 0.036$ hours shorter than the gestalt of the 1st operation.

[0064] As explained above, as a result of the semiconductor memory of the gestalt of this operation having the same configuration as the gestalt of the 1st operation and performing same actuation, the same effectiveness as the gestalt of the 1st operation is acquired. Moreover, as a result of the bit line capacity at the time of a screening trial increasing as compared with the gestalt of the 1st operation by installing the auxiliary memory cell section 301 for a test in the semiconductor memory of the gestalt of this operation, difference ΔV of the bit line electrical potential difference about the memory cell of the memory cell section 101 which deteriorated detected with a sense amplifier 113 decreases. For this reason, a cycling trial equivalent to the gestalt of the 1st operation can be performed by the count smaller than the gestalt of the 1st operation. Therefore, with the gestalt of this operation, a cycling trial can be performed in a short time as compared with the gestalt of the 1st operation.

[0065] In addition, the screening trial mentioned above is a mere example, the count of a guarantee of a request of a cycling trial can perform it with the gestalt of this operation, and the procedure of an electrical-potential-difference accelerated test and this ***** is not further limited to the procedure mentioned above. Moreover, the memory cell block 300 and the configuration of a semiconductor device are the design matters which this contractor can decide, and are not limited to the configuration mentioned above.

[0066] For example, the configuration which forms the one auxiliary memory cell section 301 for a test in the memory cell block 300 was shown in drawing 3 , and the term of (3) and (4) explained the semiconductor memory which has this configuration to it. However, as already stated, two or more auxiliary memory cell sections 301 for a test can be formed in the memory cell block 300. And bit line capacity can be made to increase to a desired capacity at the time of a screening trial by inputting into the auxiliary memory cell section 301 for a test of the number of arbitration an activation signal which was already explained among two or more auxiliary memory cell sections 301 for a test mentioned above.

[0067] [the gestalt of the 3rd operation] -- the gestalt of implementation of the 3rd of this invention is explained below. The configuration of the semiconductor memory of the gestalt of this operation has the 1st already explained or the same configuration as the gestalt of the 2nd operation. Drawing 7 is drawing showing the configuration of the memory cell block 700 of the gestalt of this operation. In addition, about the 2nd configuration of the gestalt of operation and the same configuration which are shown in drawing 1 or drawing 2 about the memory cell block 700 and which are shown in the configuration and drawing 3 , or drawing 4 of a gestalt of the 1st operation, the same sign as each drawing mentioned above to drawing 7 is attached, it is shown and the overlapping explanation is omitted.

[0068] The memory cell block 700 has the redundancy memory cell section 701. Generally this redundancy memory cell section 701 is the circuit of the reserve which the memory cell block 700 has. The redundancy memory cell section 701 has two or more redundancy memory cells which are not illustrated in drawing 7 . The redundancy memory cell of the redundancy memory cell section 701 is substituted for the memory cell which became a defect according to the defect among two or more memory cells of the memory cell section 101 as known better than before.

[0069] According to the gestalt of this operation, the auxiliary memory cell 401 for a test explained with reference to the memory cell 203 for a test or drawing 4 explained with reference to drawing 2 and drawing 4 is used as a redundancy memory cell. In this case, the auxiliary memory cell section 301 for a test explained with reference to drawing 1 and drawing 3 with reference to the memory cell section 103 for a test or drawing 3 is constituted as the redundancy memory cell section 701. That is, when using the redundancy memory cell section 701 with the gestalt of this operation as the memory cell section 103 for a test, or the auxiliary memory cell section 301 for a test, as for this redundancy memory cell section 701, it is desirable to be used at the time of the screening trial in a reliability trial. However, when the redundancy memory cell section 701 is beforehand used as a reserve circuit which was mentioned above at the time of a screening trial, it cannot use as the memory cell section 103 for a test, or the auxiliary memory cell section 301 for a test.

[0070] Here, actuation of the redundancy memory cell section 701 at the time of a screening trial is explained. The redundancy memory cell section 701 constituted by 1st redundancy memory cell section 701a and 2nd redundancy memory cell section 701b is shown in drawing 7 . The configuration of 2nd redundancy memory cell section 701b is the same as that of 1st redundancy memory cell section 701a. However, with the gestalt of this operation explained below, it uses as a reserve circuit which mentioned above 1st redundancy memory cell section 701a, and 2nd redundancy memory cell section 701b is used as the memory cell section 103 for a test, or the auxiliary memory cell section 301 for a test.

[0071] 1st redundancy memory cell section 701a has plate line driver 703for 1st redundancy a, and WORD line driver 705a for the 1st redundancy. Moreover, 2nd redundancy memory cell section 701b as well as 1st redundancy memory cell section 701a has plate line driver 703for 2nd redundancy b, and WORD line driver 705b for the 2nd redundancy.

[0072] In addition, out of the memory cell block 700, it is desirable that it is the configuration that the plate line driver control circuit 707 for the 1st redundancy and the plate line driver control circuit 709 for the 2nd redundancy, and the WORD line driver control circuit 711 for the 1st redundancy and the WORD line driver control circuit 713 for the 2nd redundancy are prepared.

[0073] When using 1st redundancy memory cell section 701a as a reserve circuit which was mentioned above at the time of a screening trial, the 1st redundancy signal RED00 and the deactivation test signal TEST00 are made to input into the plate line driver control circuit 707 for the 1st redundancy, and the WORD line driver control circuit 711 for the 1st redundancy. If these signals are inputted, the plate line driver enable signal RPLDEN00 for the 1st redundancy will be outputted from the plate line driver control circuit 707 for the 1st redundancy, and the WORD line driver enable signal RWLDEN00 for the 1st redundancy will be outputted from the WORD line driver control circuit 711 for the 1st

redundancy. In 1st redundancy memory cell section 701a, if the plate line driver enable signal RPLDEN00 for the 1st redundancy is inputted into plate line driver 703a for the 1st redundancy and the WORD line driver control circuit 711 for the 1st redundancy to the WORD line driver enable signal RWLDEN00 for the 1st redundancy is inputted into it from the plate line driver control circuit 707 for the 1st redundancy at WORD line driver 705a for the 1st redundancy, this 1st redundancy memory cell section 701a will be activated. 1st redundancy memory cell section 701a will perform actuation as a reserve circuit which was mentioned above, if it activates.

[0074] Moreover, the 2nd redundancy signal RED01 and the activation test signal TEST01 are made to input into the plate line driver control circuit 709 for the 2nd redundancy, and the WORD line driver control circuit 713 for the 2nd redundancy at the time of a screening trial. If these signals are inputted, the plate line driver enable signal RPLDEN01 for the 2nd redundancy will be outputted from the plate line driver control circuit 709 for the 2nd redundancy, and the WORD line driver enable signal RWLDEN01 for the 2nd redundancy will be outputted from the WORD line driver control circuit 713 for the 2nd redundancy. And in 2nd redundancy memory cell section 701b, if the plate line driver enable signal RPLDEN01 for the 2nd redundancy is inputted into plate line driver 703b for the 2nd redundancy and the WORD line driver control circuit 713 for the 2nd redundancy to the WORD line driver enable signal RWLDEN01 for the 2nd redundancy is inputted into it from the plate line driver control circuit 709 for the 2nd redundancy at WORD line driver 705b for the 2nd redundancy, this 2nd redundancy memory cell section 701b will be activated. 2nd redundancy memory cell section 701b will perform actuation as the 1st, the memory cell section 103 for a test in the gestalt of the 2nd operation, or the auxiliary memory cell section 301 for a test, if it activates.

[0075] As explained above, according to the gestalt of this operation, it uses as the memory cell section 103 for a test which usually explained the redundancy memory cell section 701 as a reserve circuit established in the memory cell block 700 in the gestalt of the 1st and the 2nd operation, or the auxiliary memory cell section 301 for a test. Therefore, to this memory cell block 700, it is not necessary to newly prepare the memory cell section 103 for a test or the auxiliary memory cell section 301 for a test which has a configuration which was explained with the gestalt of the 1st and the 2nd operation. For this reason, according to the gestalt of this operation, the increment in the memory cell area in the memory cell block 700 by forming the memory cell section 103 for a test or the auxiliary memory cell section 301 for a test can be prevented.

[0076] Moreover, with the gestalt of this operation, by considering as a configuration which mentioned above the redundancy memory cell section 701 of the memory cell block 700, this memory cell block 700 has the same configuration as the memory cell block 100 of the gestalt of the 1st operation, and the memory cell block 200 of the gestalt of the 2nd operation, and performs same actuation. Consequently, the 1st and the same effectiveness as the gestalt of the 2nd operation can be acquired also with the gestalt of this operation.

[0077] In addition, the configuration and actuation of the redundancy memory cell section 701 of the gestalt of this operation are not restricted to the configuration and actuation which were mentioned above. Therefore, according to the gestalt of this operation, the redundancy memory cell section 701 of the number of arbitration can be formed in the memory cell block 700.

[0078]

[Effect of the Invention] In the semiconductor memory of this invention, a cycling trial is performed using the memory cell section for a test at the time of a screening trial so that clearly from the explanation mentioned above. Therefore, to the semiconductor memory of this invention, at the time of a screening trial, the memory cell of the memory cell section is not tired and a cycling trial can be performed. Moreover, in this invention, the memory cell section for a test is arranged in a memory cell block in the location where a ferroelectric capacitor tends to deteriorate. And assessment of a fatigue is performed to the semiconductor memory of this invention as a result of the cycling trial to this memory cell section for a test. Therefore, as compared with the already explained conventional technique, the dependability of a screening trial can be raised by leaps and bounds.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The memory cell section in which each contains a ferroelectric capacitor and which has two or more memory cells, It has the memory cell block containing the memory cell section for a test which has two or more memory cells for a test. The layout pattern of said memory cell for a test It is the semiconductor memory which it has supposed that it is the same as that of the layout pattern of said memory cell, and said memory cell section for a test approaches the memory cell arranged in the location where said ferroelectric capacitor tends to deteriorate among said two or more memory cells, and is characterized by being arranged.

[Claim 2] In a semiconductor memory according to claim 1 said memory cell block It has two or more auxiliary memory cell sections for a test. This auxiliary memory cell section for a test The layout pattern of this auxiliary memory cell for a test is made the same as that of the layout pattern of said memory cell including two or more auxiliary memory cells for a test. Each of two or more of these auxiliary memory cells for a test is a semiconductor memory characterized by connecting with a sense amplifier with said memory cell and the common bit line while activating with the activation signal inputted into said auxiliary memory cell section for a test from the exterior.

[Claim 3] It is the semiconductor memory characterized by said memory cell section for a test being the redundancy memory cell section when said memory cell for a test is used as a redundancy memory cell in a semiconductor memory according to claim 2.

[Claim 4] It is the semiconductor memory characterized by said auxiliary memory cell section for a test being the redundancy memory cell section when said auxiliary memory cell for a test is used as a redundancy memory cell in a semiconductor memory according to claim 2.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing for explaining the configuration of the gestalt of operation of the 1st of a memory cell block.

[Drawing 2] It is drawing for explaining the configuration of the memory cell of the gestalt of the 1st operation, and the memory cell for a test.

[Drawing 3] It is drawing for explaining the configuration of the gestalt of operation of the 2nd of a memory cell block.

[Drawing 4] It is drawing for explaining the 2nd configuration of the auxiliary memory cell for a test of the gestalt of operation.

[Drawing 5] In order to explain actuation of the gestalt of the 2nd operation, (A) is a hysteresis curve showing the polarization condition of a memory cell, and (B) is a hysteresis curve showing the polarization condition of the memory cell which deteriorated.

[Drawing 6] In order to explain actuation of the gestalt of the 2nd operation, it is drawing for explaining the relation between the distinction sensibility of a sense amplifier, and the difference of a bit line electrical potential difference.

[Drawing 7] It is drawing for explaining the configuration of the gestalt of operation of the 3rd of a memory cell block.

[Drawing 8] It is drawing for explaining the conventional technique.

[Description of Notations]

10, 12, 14, 16: Load line

18 20,501,519: Hysteresis curve

100,300,700: Memory cell block

101: Memory cell section

103: The memory cell section for a test

105: Plate line driver

107: The plate line driver for a test

109: The WORD line driver for a test

111: WORD line driver

113: Sense amplifier

201: Memory cell

203: The memory cell for a test

301: The auxiliary memory cell section for a test

303: The auxiliary plate line driver for a test

305: The auxiliary WORD line driver for a test

401: The auxiliary memory cell for a test

503: The 1st load line

505: The 2nd load line

507: The 3rd load line

509: The 4th load line

511: The 5th load line

513: The 6th load line

515: The 7th load line

517: The 8th load line

601: The 1st property

603: The 2nd property

605: The 3rd property
607: The 4th property
701: Redundancy memory cell section
701a: The 1st redundancy memory cell section
701b: The 2nd redundancy memory cell section
703a: The plate line driver for the 1st redundancy
703b: The plate line driver for the 2nd redundancy
705a: The WORD line driver for the 1st redundancy
705b: The WORD line driver for the 2nd redundancy
707: The plate line driver control circuit for the 1st redundancy
709: The plate line driver control circuit for the 2nd redundancy
711: The WORD line driver control circuit for the 1st redundancy
713: The WORD line driver control circuit for the 2nd redundancy

[Translation done.]

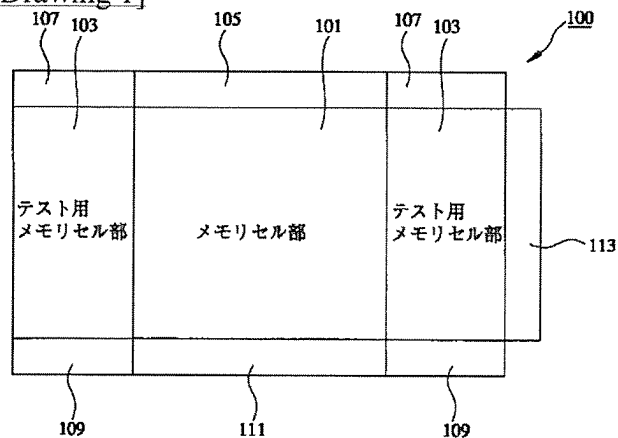
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

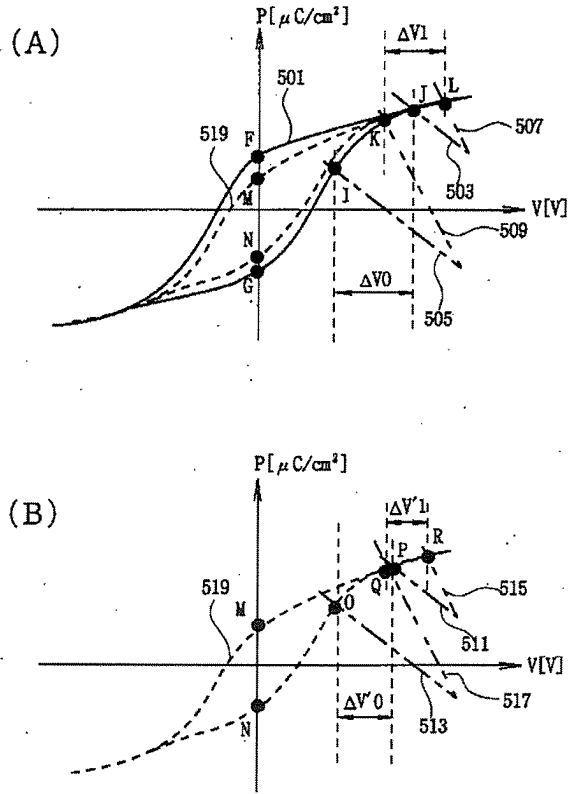
[Drawing 1]



100: メモリセルブロック 105: プレートラインドライバ
 107: テスト用プレートラインドライバ
 109: テスト用ワードラインドライバ 111: ワードラインドライバ
 113: センスアンプ

第1の実施の形態のメモリセルブロックの構成例

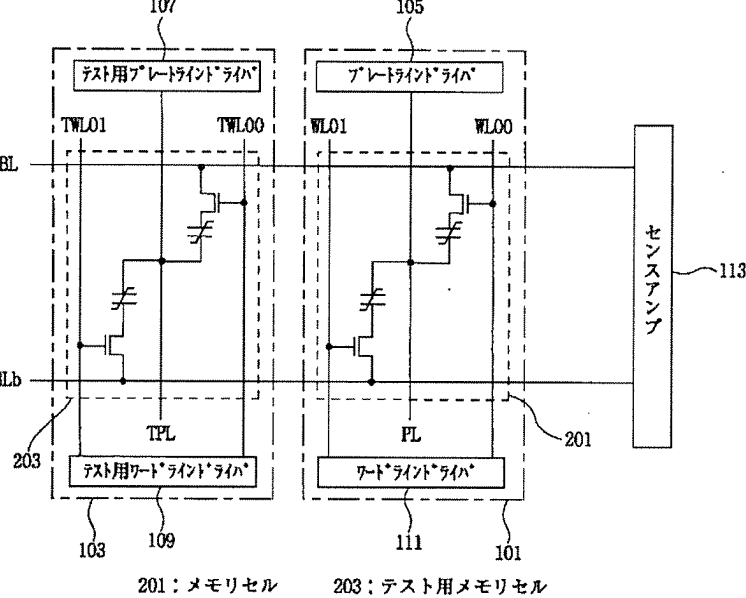
[Drawing 5]



501,519: ヒステリシス曲線 503: 第1の負荷線 505: 第2の負荷線
507: 第3の負荷線 509: 第4の負荷線 511: 第5の負荷線
513: 第6の負荷線 515: 第7の負荷線 517: 第8の負荷線

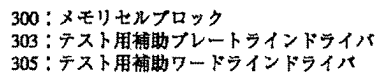
第2の実施の形態の動作を説明するための図（その1）

[Drawing 2]

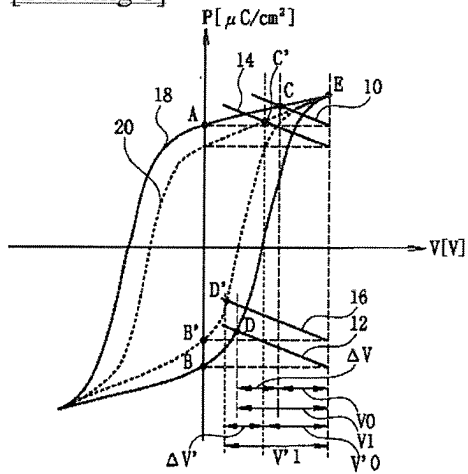


第1の実施の形態のメモリセル及びテスト用メモリセルの構成例

[Drawing 3]



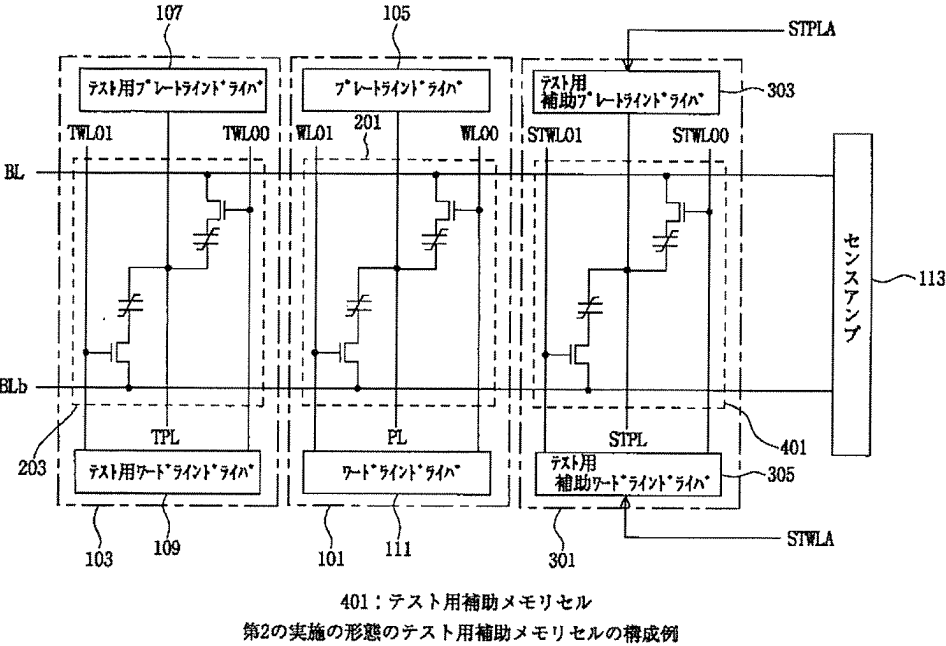
[Drawing 8]



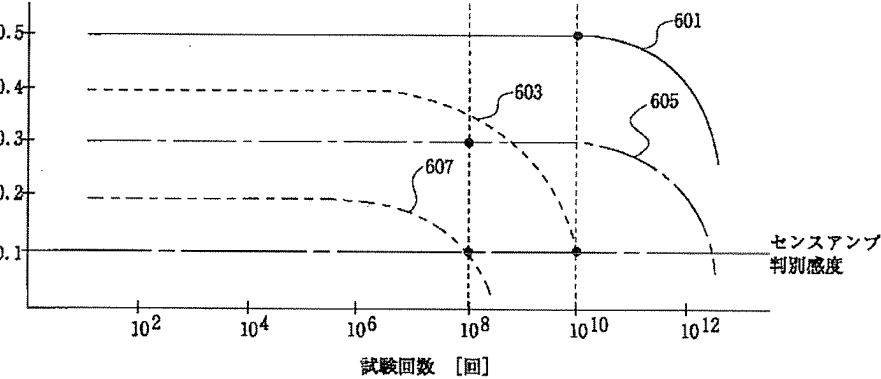
10, 12, 14, 16: 負荷線 18, 20: ヒステリシス曲線

従来技術の説明図

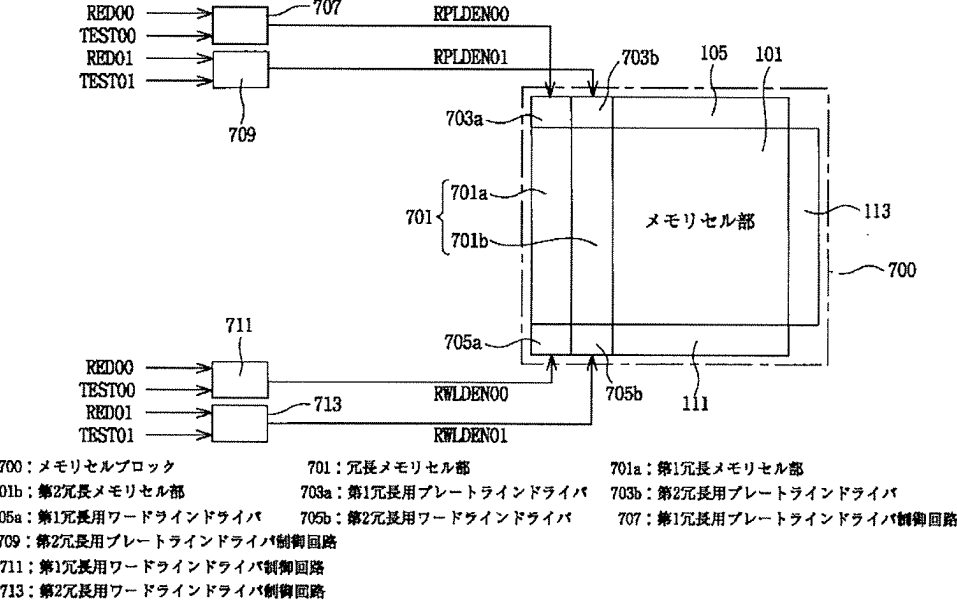
[Drawing 4]



[Drawing 6]
 $\Delta V[V]$



[Drawing 7]



第3の実施の形態のメモリセルブロックの構成例

[Translation done.]